

[print out](#)

Patent/Publication No. 517361

Title Chip package structure and its manufacture process capable of integrating chips with the same function or different functions into the same package body

Publication Date 2003/01/11

Application Date 2001/12/31

Application No. 090133194

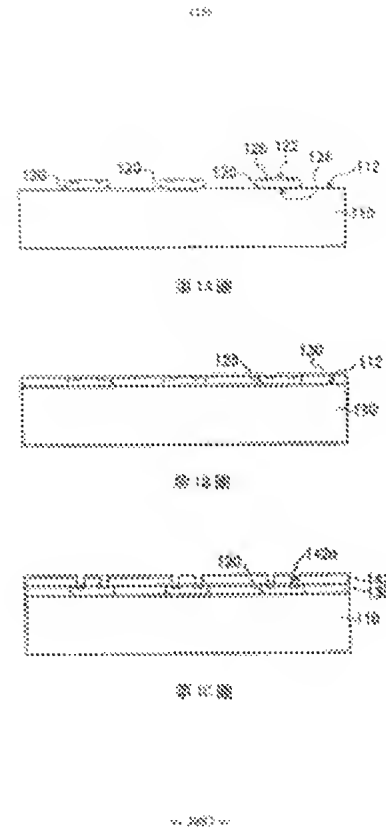
Certification_Number 170294

IPC H01L-023/28;H01L-021/56

Inventor LIN, MAO-XIONG TW;
LI, JIN-YUAN TW;
HUANG, JIN-CHENG TW

Applicant MEGIC CORPORATION
TW

Abstract This invention discloses a chip package structure and its manufacture process, which attaches a chip onto a metal substrate and forms a lamination circuit layer on the chip and the metal substrate. The lamination circuit layer has an outer circuit electrically connected with the metal pads on the chip and part of the outer circuit extends to the area besides the top of the active surface of the chip to fan out the metal pads of the chip. Moreover, there are an inner circuit and a plural number of active devices on



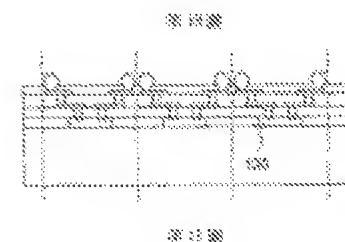
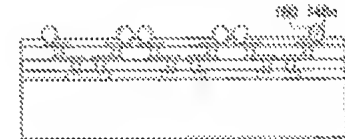
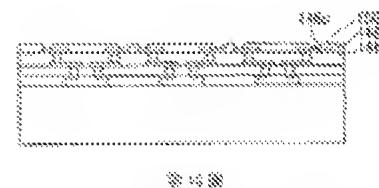
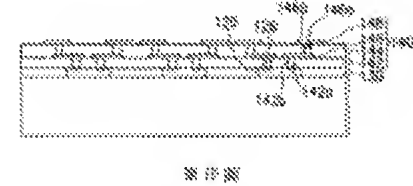
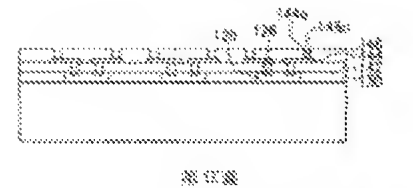
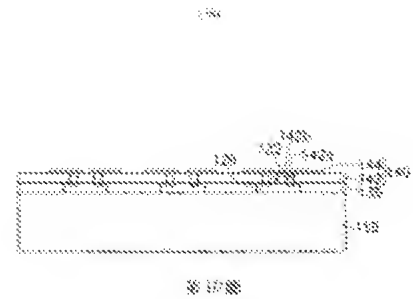
the active surface and thus signals can be sent from an active device to the outer circuit through the inner circuit and then from the outer circuit to another active device through the inner circuit. Furthermore, chips with the same function or different functions can be integrated into the same package body and the chips are electrically connected to each other using the outer circuit.

Individual

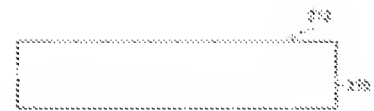
F

Patent Right Change

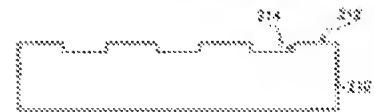
| | |
|----------------------------|-----------|
| Application Number | 090133194 |
| Date of Update | 20091228 |
| Licensing Note | No |
| Mortgage Note | No |
| Transfer Note | Yes |
| Succession Note | No |
| Trust Note | No |
| Opposition Note | No |
| Invalidation Note | Yes |
| Cessation Note | |
| Revocation Note | |
| Issue date of patent right | 20030111 |
| Patent expiry date | 20211230 |
| Maintenance fee due | 20110110 |
| Years of annuity paid | 8 |



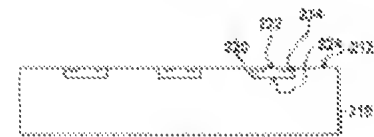
170a



170b

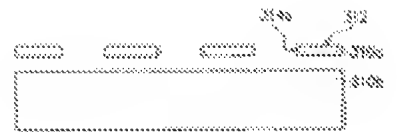


170c

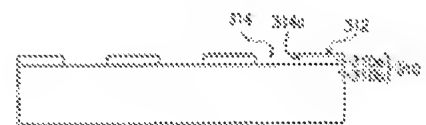


170d

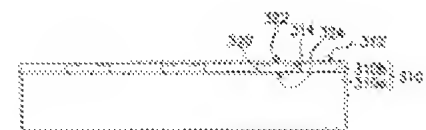
170e



170f



170g



170h

170i

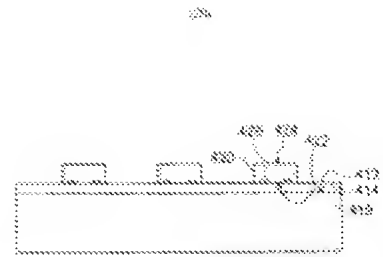


Fig. 11

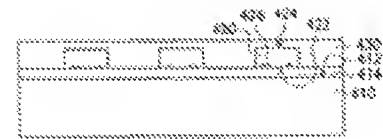


Fig. 12

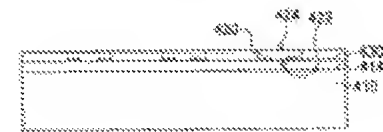


Fig. 13

-- 9002 --

(21)

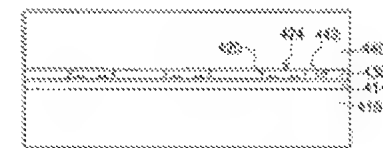


Fig. 14

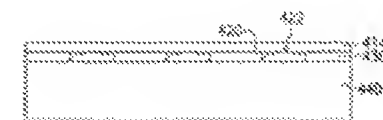


Fig. 15

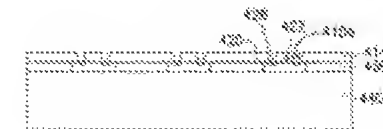
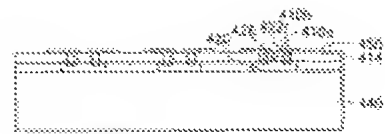


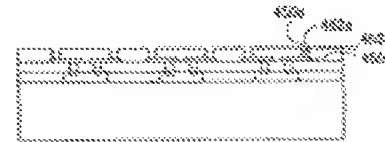
Fig. 16

-- 9002 --

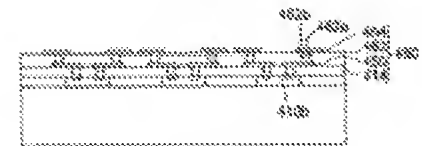
(22)



(23)



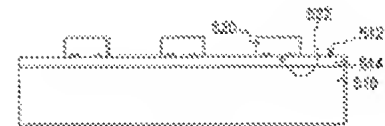
(24)



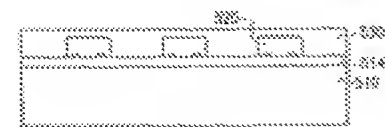
(25)

(26)

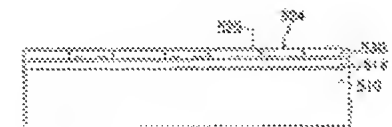
(27)



(28)

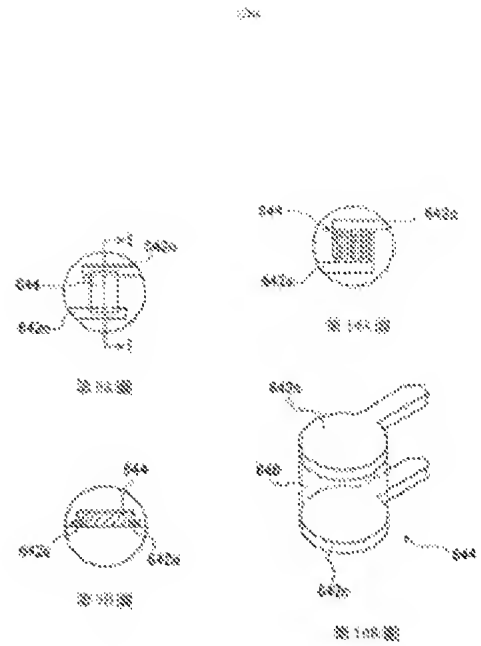


(29)



(30)

(31)



公告本

| | |
|------|-----------------------|
| 申請日期 | 09-11-11 |
| 案 號 | 101-11-11 |
| 類 別 | H01L 23/82 H01L 21/56 |

A4
C4

517361

(以上各欄由本局填註)

| 發 明 專 利 說 明 書 | | |
|---------------|---------------|--|
| 一、發明 新型名稱 | 中 文 | 晶片封裝結構及其製程 |
| | 英 文 | |
| 二、發明 創作人 | 姓 名 | 1 林茂雄 2 李進源 3 黃進成 |
| | 國 籍 | 中華民國 |
| | 住、居所 | 1 新竹市金山十街 28 號 2 新竹市仙水里安和街 4 巷 11 號 3 新竹市光華二街 72 巷 38-24 號 11F 之 1 |
| | | |
| 三、申請人 | 姓 名 (名稱) | 米輯科技股份有限公司 |
| | 國 籍 | 中華民國 |
| | 住、居所 (事務所) | 新竹科學園區研發一路 21 號 |
| | 代 表 人 名 姓 | 林茂雄 |

經濟部智慧財產局員工消費合作社印製

裝

訂

線

四、中文發明摘要(發明之名稱：晶片封裝結構及其製程)

一種晶片封裝結構及其製程，係將晶片貼附於一金屬基板上，並在晶片及金屬基板上形成一積層線路層，其中此積層線路層具有一外部線路，其電性連接晶片上之金屬墊，且部分之外部線路係延伸至晶片之主動表面上方以外的區域，用以將晶片之金屬墊扇出。此外，晶片之主動表面上更具有一內部線路及多個主動元件，訊號係可從一主動元件經由內部線路，而傳遞到外部線路，接著再從外部線路經由內部線路，而傳遞至其他的主動元件。另外，更可將功能相同或不同的晶片整合於同一封裝體內，並經由外部線路使晶片之間得以相互電性連接。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(1)

本發明是有關於一種晶片封裝結構及其製程，且特別是有關於一種將晶片封裝於金屬基板上的晶片封裝結構及其製程。

近年來，隨著電子技術的日新月異，高科技電子產業的相繼問世，使得更人性化、功能更佳的電子產品不斷地推陳出新，並朝向輕、薄、短、小的趨勢設計。在製造電子產品的過程中，最關鍵的零組件不外乎是電子產品內部的積體電路（Integrated Circuit，IC）晶片（Chip）。

積體電路晶片從電路設計、晶圓製作到晶片封裝等各個製程階段，均深切地影響到晶片的運作效能及其使用壽命。就晶片封裝技術而言，由於晶片的效能及速度不斷地向上提升，因此如何增進電路傳導的特性，使晶片對外界的訊號傳導延遲性及衰減性更低，同時提供晶片良好的散熱結構及保護裝置，並縮小晶片於封裝之後的尺寸大小，這些均是晶片封裝技術所要達成的目的。

晶片封裝的型態種類繁多，以球格陣列（Ball Grid Array，BGA）的封裝型態為例，其係利用打線（Wire Bonding）或覆晶（Flip Chip）等方式，將晶片上的接點分別連接至基板（Substrate）上的接點，並利用基板的內部繞線將接點分散至線路基板的底面，最後再將錫球（Solder Ball）分別植接（Planting）於基板底面的接點，用以作為晶片與外界接點相電性連接的媒介。同樣地，針腳柵狀陣列（Pin Grid Array，PGA）的封裝型態與球格陣列（BGA）的封裝型態十分類似，其係利用針腳（Pin）

（請先閱讀背面之注意事項再填寫本頁）

訂

泉

五、發明說明(7)

取代上述之錫球，而分別植接於基板底面之接點，同樣係用來作為晶片與外界接點相電性連接的媒介。

無論是球格陣列(BGA)或針腳柵狀陣列(PGA)的封裝型態，均需要利用打線或覆晶的方式，將晶片上的接點分別連接至基板上的接點，並利用基板之內部繞線將接點分佈於基板的底面，再經由錫球或針腳與外界電性連接。然而，如此不但無法有效縮短訊號傳導的路徑，反而會增加訊號傳導的路徑長度，並同時提高訊號傳導的延遲性及衰減性，因而降低晶片的運作效能。

此外，就晶圓級晶片尺寸封裝(Wafer Level Chip Scale Package, WLCSP)的封裝型態而言，晶圓級晶片尺寸封裝(WLCSP)的主要特徵係在晶片上形成重配置線路(Redistribution Circuit)，用以將晶片上原先呈周邊環狀分佈的接點，利用面矩陣(Area Array)的方式重新分佈(Redistribute)於晶片表面上，故可充分利用晶片上所有的表面積，並在上述之重配置線路的接點上，分別形成覆晶凸塊(Bump)，用以將晶片翻面而電性連接至具有微間距接點的印刷電路板。

如上所述，晶圓級晶片尺寸封裝(WLCSP)雖可大幅縮短訊號傳導的路徑，然而在晶片內部元件及線路的積集度(Integration)越來越高，且晶片的接點數目(Pin Count)越來越多，但晶片的面積卻越來越小的情況下，勢必難以將晶片所有的接點以面矩陣的方式重新分佈於晶片的表面，即使晶片表面容納得下所有的接點，也將造成接點之

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(3)

間の間距過小，因而無法符合寬間距接點的印刷電路板。

本發明之目的係在於提供一種晶片封裝結構及其製程，可將晶片上之原有的接點，經由一積層線路層之外部線路，而重新分佈於晶片之上，並使得這些重配置後之接點間の間距，可符合具有寬間距之接點的印刷電路板。

基於本發明之上述目的，本發明係提出一種晶片封裝結構及其製程，係將晶片以其背面貼附於金屬基板之上，其中晶片之主動表面配置有多個金屬墊，接著配置一積層線路層係於晶片及金屬基板之上，此積層線路層具有一外部線路，其電性連接晶片上的金屬墊，且部分外部線路係延伸至晶片之主動表面以外的區域，並具有多個接合墊，其位於積層線路層之表層。此外，晶片之主動表面上更有一內部線路及多個主動元件，訊號係可從一主動元件經由內部線路，而傳遞到外部線路，接著再從外部線路經由內部線路，而傳遞至其他的主動元件。另外，金屬基板更具有至少一凹穴，而晶片則以其背面配置於凹穴之中，並暴露出晶片之主動表面。最後，除了將單顆晶片封裝於同一封裝體內，更可將功能相同或不同的多顆晶片，同時封裝整合至同一封裝體內，並經由外部線路使得晶片間相互電性連接。

為讓本發明之上述目的、特徵和優點能明顯易懂，下文特舉五個較佳實施例，並配合所附圖示，作詳細說明如下：

圖式之簡單說明

五、發明說明(4)

第 1A~1I 圖為本發明之第一實施例的晶片封裝製程的剖面流程圖；

第 2A~2C 圖為本發明之第二實施例的晶片封裝製程的部分剖面流程圖；

第 3A~3C 圖為本發明之第三實施例的晶片封裝製程的部分剖面流程圖；

第 4A~4I 圖為本發明之第四實施例的晶片封裝製程的部分剖面流程圖；

第 5A~5E 圖為本發明之第五實施例的晶片封裝製程的部分剖面流程圖；

第 6 圖為本發明之一種晶片封裝結構，其應用於單顆晶片的剖面示意圖；

第 7 圖為本發明之一種晶片封裝結構，其應用於多顆晶片的剖面示意圖；

第 8 圖為本發明之一種晶片封裝結構的剖面局部放大示意圖；

第 9A、9B 圖為本發明之一種晶片封裝結構，其積層線路層之圖案化導線層上具有一被動元件的俯視及側視示意圖；

第 10A 圖為本發明之一種晶片封裝結構，其積層線路層之單層圖案化導線層形成一被動元件的結構示意圖；

第 10B 圖為本發明之一種晶片封裝結構，其積層線路層之雙層圖案化導線層形成一被動元件的結構示意圖；以及

(請先閱讀背面之注意事項再填寫本頁)

訂

原

五、發明說明(ㄟ)

第 11A 圖爲本發明之一種晶片封裝結構，其積層線路層之單層圖案化導線層形成一被動元件的結構示意圖

第 11B 圖爲本發明之一種晶片封裝結構，其積層線路層之雙層圖案化導線層形成一被動元件的結構示意圖；以及

第 11C 圖爲本發明之一種晶片封裝結構，其積層線路層之雙層圖案化導線層形成另一被動元件的結構示意圖。

圖式之標示說明

| | |
|------------|------------|
| 110：金屬基板 | 112：表面 |
| 120：晶片 | 122：主動表面 |
| 124：背面 | 126：金屬墊 |
| 130：填充層 | 140：積層線路層 |
| 142：介電層 | 142a：貫孔 |
| 142b：導電插塞 | 144：圖案化導線層 |
| 144a：接合墊 | 146：介電層 |
| 146a：貫孔 | 146b：導電插塞 |
| 148：圖案化導線層 | 148a：接合墊 |
| 150：保護層 | 160：接點 |
| 210：金屬基板 | 212：表面 |
| 214：凹穴 | 214a：開口 |
| 220：晶片 | 222：主動表面 |
| 224：背面 | 226：金屬墊 |
| 310：金屬基板 | 310a：第一金屬層 |
| 310b：第二金屬層 | 312：表面 |

(請先閱讀背面之注意事項再填寫本頁)

訂

泉

五、發明說明(ㄅ)

| | |
|-------------|------------------|
| 314：凹穴 | 314a：開口 |
| 320：晶片 | 322：主動表面 |
| 324：背面 | 410：第一金屬基板 |
| 414：絕緣層 | 412：表面 |
| 420：晶片 | 422：主動表面 |
| 424：背面 | 426：金屬墊 |
| 430：填充層 | 440：第二金屬基板 |
| 442：第二表面 | 410a：第一貫孔 |
| 410b：第一導電插塞 | 450：第一圖案化導線層 |
| 450a：接合墊 | 460：積層線路層 |
| 462：介電層 | 462a：第二貫孔 |
| 462b：第二導電插塞 | 510：金屬基板 |
| 514：絕緣層 | 512：表面 |
| 520：晶片 | 522：主動表面 |
| 524：背面 | 600：晶片封裝結構 |
| 610：金屬基板 | 620、720a、720b：晶片 |
| 622：主動表面 | 624：內部線路 |
| 626：金屬墊 | 628a、628b：主動元件 |
| 640：積層線路層 | 642：外部線路 |
| 642a：圖案化導線層 | 642b：導電插塞 |
| 644：被動元件 | 646：絕緣材料 |
| 700：晶片封裝結構 | 710：金屬基板 |
| 720：晶片組 | 740：積層線路層 |
| 742：外部線路 | 742a：圖案化導線層 |

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(ㄟ)

742b：導電插塞

第一實施例

請依序參考第 1A~1I 圖，其為本發明之第一實施例的晶片封裝製程的剖面流程圖。

如第 1A 圖所示，首先提供一金屬基板（Metal Substrate）110，其具有一表面 112，其中金屬基板 110 之材質為單一金屬或合金金屬，例如常見的銅（Cu）或鋁合金（Aluminum Alloy）等金屬材質。此外，更提供多顆晶片 120，其分別具有一主動表面（Active Surface）122 及對應之一背面（Backside）124，其中主動表面 122 係泛指晶片 120 上形成具有主動元件（Active Device）的一面。另外，晶片 120 更具有多個金屬墊（Metal Pad）126，其配置於晶片 120 之主動表面 122，用以作為晶片 120 對外界的訊號輸出入端。接著，將晶片 120 以其背面 124 貼附於金屬基板 110 之表面 112 上，例如是以導電膠（Conductive Paste）或黏貼帶（Adhesive Tape）貼附於金屬基板 110 之表面 112，此時晶片 120 之主動表面 122 是朝向金屬基板 110 之表面 112 的上方。

如第 1B 圖所示，在貼附晶片 120 於金屬基板 110 上之後，接著可形成一填充層 130 於金屬基板 110 之表面 112 上，並環繞於晶片 120 之周緣，即填滿晶片 120 與晶片 120 之間的空隙（Gap），並使得填充層 130 之頂面約略對齊晶片 120 之主動表面 122。其中填充層 130 之材質可包括

（請先閱讀背面之注意事項再填寫本頁）

訂

象

五、發明說明(8)

環氧化物 (Epoxy) 或聚合物 (Polymer) 等材料，而形成填充層 130 的方法例如先全面性覆蓋一層填充層 130 於晶片 120 及金屬基板 110 之上，並在固化 (Curing) 填充層 130 之後，可利用研磨 (Grinding) 或蝕刻 (Etching) 的方式，平整化 (Planarizing) 填充層 130 之頂面一直到與晶片 120 之主動表面 122 對齊為止。

如第 1C 圖所示，在形成填充層 130 於金屬基板 110 上之後，接著可形成一介電層 (Dielectric Layer) 142 於填充層 130 及晶片 120 之主動表面 122 之上，並對應晶片 120 上的金屬墊 126 而圖案化此介電層 142，用以形成多個貫孔 142a。其中介電層 142 之材質例如為聚醯亞胺 (Poly-Imide, PI)、苯基環丁烯 (Benzocyclobutene, BCB)、多孔性介電材料、或是彈性緩衝材料 (Stress Buffer Material) 等材質，而圖案化介電層 142 之方法則包括利用感光成孔 (Photo Via)、雷射燒孔 (Laser Ablation) 或電漿蝕孔 (Plasma Etching) 等方法。

同樣如第 1C 圖所示，由於填充層 130 係用作支撐介電層 142 的結構，使得介電層 142 可以平坦地形成於金屬基板 110 及晶片 120 之上，而不會因為晶片 120 的厚度而使介電層 142 的表面發生凹凸不平的現象，因此，在形成介電層 142 於金屬基板 110 之表面 112 及晶片 120 之主動表面 122 之上時，亦可將介電層 142 填充於晶片 120 之周緣，即晶片 120 與晶片 120 之間的空隙，使得介電層 142 之底層部分結構將取代填充層 130 之結構，而完全涵蓋於

(請先閱讀背面之注意事項再填寫本頁)

訂

象

五、發明說明(9)

金屬基板 110 之表面 112，並且同時包覆晶片 120。其中形成介電層 142 的方法例如先全面性覆蓋一層介電層 142 於晶片 120 及金屬基板 110 之上，並固化介電層 142 之後，可利用研磨或蝕刻的方式，將介電層 142 之表面予以平整化。

如第 1D 圖所示，在形成介電層 142 並圖案化介電層 142 以形成貫孔 142a 之後，接著可利用微影 (Photolithography) 並配合濺鍍 (Sputtering)、有電電鍍 (Electroplating) 或無電電鍍 (Electro-less Plating) 的方式，在介電層 142 上形成一圖案化導線層 144，其中部分圖案化導線層 144 之導電材料將直接填入貫孔 142a 之內，用以形成導電插塞 (Via) 142b，其中例如以銅 (Cu) 作為圖案化導線層 144 之材質。另外，亦可在第 1C 圖之貫孔 142a 內預先填入導電材料，例如填入導電膠而形成導電插塞 142b，故無論是利用部分圖案化導線層 144 之導電材料直接填入貫孔 142a 之內，或是預先在貫孔 142a 填入導電材料而形成導電插塞 142b 之後，再形成圖案化導線層 144，均可使得圖案化導線層 144 將可電性連接至晶片 120 上的金屬墊 126。值得注意的是，部分圖案化導線層 144 將延伸超過晶片 120 之主動表面 122 上方的區域，並且介電層 142 及圖案化導線層 144 將可構成積層線路層 (Build-Up Circuit Layer) 140。

如第 1E 圖所示，在形成圖案化導線層 144 之後，可同樣利用先前形成介電層 142 的方式，接著形成另一層介

(請先閱讀背面之注意事項再為本頁)

裝

訂

綑

五、發明說明(10)

電層 146 於介電層 142 及圖案化導線層 144 之上，並圖案化此介電層 146 而同樣形成貫孔 146a，其中貫孔 146a 係對應下方的圖案化導線層 144 的接合墊 144a。

如第 1F 圖所示，在形成介電層 146 並圖案化介電層 146 以形成貫孔 146a 之後，可同樣利用形成圖案化導線層 144 的方式，接著形成另一圖案化導線層 148 於介電層 146 之上，其中部分圖案化導線層 148 之導電材料將一併填入貫孔 146a 之內，而形成一導電插塞 146b，同樣地，圖案化導線層 148 亦可經由導電插塞 146b，而與其下方的圖案化導線層 144 相電性連接，再經由貫孔 142a 之內的導電材質 142b，而與晶片 120 上的金屬墊 126 相電性連接。至此，積層線路層 140 更包括了介電層 146、多個導電插塞 146b 及圖案化導線層 148。

請同樣參考第 1F 圖，爲了能將晶片 120 上所有的金屬墊 126 均重新分佈於金屬基板 110 之上方，可以增加圖案化導線層（144、148、...）的數目，並適時增加介電層（142、146、...）的數目用以作電性隔離，且利用貫孔（146a、...）之內的導電插塞（146b、...）作爲上下層圖案化導線層（144、148、...）間的電性導通之用。反之，假若最先形成的圖案化導線層 144 即足夠將晶片 120 上的金屬墊 126 重新分佈於金屬基板 110 之上，則可省略介電層（146、...）及圖案化導線層（148、...）的導線結構。換句話說，積層線路層 140 係包括至少一介電層 142、至少一圖案化導線層 144 以及多個導電插塞 142b，其中積層

（請先閱讀背面之注意事項再填寫本頁）

訂

象

五、發明說明(\\)

線路層 140 之圖案化導線層 144(148、...)及導電插塞 142b (146b、...)可構成積層線路層 140 之一外部線路。

如第 1G 圖所示，在形成圖案化導線層 148 之後，接著形成圖案化之一保護層 150 於介電層 146 及圖案化導線層 148 之上，用以保護圖案化導線層 148，並暴露出圖案化導線層 144 上的多個接合墊 148a，其中部分接合墊 148a 係位於晶片 120 之主動表面 122 上方以外的區域。如前段所述，必須以多層圖案化導線層 (144、148、...) 才能將晶片 120 上的金屬墊 126 重新分佈於金屬基板 110 之上，則圖案化之保護層 150 係形成於多層圖案化線路層 (144、148、...) 之最遠離金屬基板 110 者。反之，若單一圖案化導線層 144 即可將晶片 120 上所有的金屬墊 126 重新分佈於金屬基板 110 之上方，則圖案化之保護層 150 係形成於圖案化線路層 144 上即可。其中，圖案化之保護層 150 之材質包括防銲綠漆，或是其他絕緣材料。

如第 1H 圖所示，在形成圖案化之保護層 150 之後，接著可分別配置一接點 160 於接合墊 148a 上，用以作為晶片 120 對外電性連接的媒介。其中，第 1H 圖所繪示之接點 160 係為銲球 (Ball) 的型態，然而接點 160 除銲球的型態之外，更包括凸塊 (Bump) 或針腳 (Pin) 等型態，其中銲球例如為銲料銲球 (Solder Ball)，而凸塊例如為銲料凸塊 (Solder Bump) 及金凸塊 (Gold Bump) 等等。

如第 1I 圖所示，在形成接點 160 於接合墊 148a 上之後，接著可利用機械刀具或雷射等切割方式，沿著虛線將

(請先閱讀背面之注意事項再填寫本頁)

訂

泉

五、發明說明(12)

已封裝完成之晶片 120 進行單顆化 (Singularize) 的動作，而完成此晶片封裝結構。

綜上所述，本發明之第一實施例的晶片封裝製程係在同一金屬基板上，同時貼附多顆晶片，並利用積層線路層之外部線路將晶片上的金屬墊扇出 (Fan Out)，同時對應晶片上的金屬墊而形成接合墊，用以配置鉚球、凸塊或針腳等的訊號輸出入接點，故可有效地縮短訊號的傳遞路徑，將有助於降低訊號傳導之延遲性及衰減性，因而提升晶片的運作效能。

此外，當晶片係以其背面貼附於金屬基板上時，由於金屬本身材質已具有高熱傳導性的優點，故有助於將晶片於運作時所產生的高熱傳導至外界，因而提高晶片的運作效能，再加上金屬基板之製作技術早已成熟且製作成本及材料非常低廉，故採用金屬基板來作為晶片封裝用的基板，將可有效地降低晶片的封裝成本，同時提供晶片良好的散熱媒介，進而提升晶片之運作效能。

第二實施例

第二實施例與第一實施例的不同處在於，第二實施例係提供具有凹穴的金屬基板，並將晶片貼附於凹穴之底壁，故可縮小晶片封裝結構之整體厚度。為了說明本發明之第二實施例的晶片封裝製程，請依序參考第 2A~2C 圖，其為本發明之第二實施例的晶片封裝製程的部分剖面流程圖。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(13)

如第 2A 圖所示，首先提供一金屬基板 210，其具有一表面 212。接著如第 2B 圖所示，移除部分金屬基板 210 之結構，而形成多個凹穴 214，其凹陷於金屬基板 210 之表面 212，其中形成凹穴 214 的方法例如利用機械加工（Machining）的方式，如銑床加工等機械加工法，形成凹穴 214 於金屬基板 210 上，並同時控制凹穴 214 的深度約略相同於晶片 220 之厚度，使得凹穴 214 的截面輪廓及深度均符合第 3 圖之晶片 220 的截面形狀及厚度。接著如第 2C 圖所示，分別將晶片 220 之背面 224 貼附於凹穴 214 之底壁，也就是將晶片 220 鑲嵌於凹穴 214 之內，並使得晶片 220 之主動表面 222 暴露於金屬基板 210 之表面 212 的上方。

由於第二實施例於第 2C 圖之後的晶片封裝製程如同第一實施例的第 1C~1I 圖及其相關說明，故於此不再重複贅述。

本發明之第二實施例的晶片封裝製程係在金屬基板上形成多個凹穴來分別容納晶片，並將晶片之背面貼附於凹穴內，同時暴露出晶片之主動表面，接著同樣係在晶片及金屬基板上形成積層線路層，並利用積層線路層之外部線路將晶片上的金屬墊扇出。由於晶片係鑲嵌入金屬基板之內，故可有效地薄化（Thinning）晶片於封裝之後的厚度，並利用金屬基板的表面提供平坦度（Planarity）足夠的支撐面，因而有助於積層線路層之製作。

五、發明說明(14)

第三實施例

第三實施例與第二實施例的不同處在於，第三實施例並非單純使用金屬基板，而是使用金屬基板，其至少包括由一具有開口之第一金屬層及一第二金屬層相疊合而成。爲了說明本發明之第三實施例的晶片封裝製程，請依序參考第 3A~3C 圖，其爲本發明之第三實施例的晶片封裝製程的部分剖面流程圖。

如第 3A 圖所示，金屬基板 310 係由第一金屬層 310a 及第二金屬層 310b 所構成，而基板 310 之表面 312 係爲第一金屬層 310a 之遠離第二金屬層 310b 之一面，而第一金屬層 310a 上則具有多個開口 314a，其中第一金屬層 310a 上的開口 314a 係可利用衝壓（Punch）的方式形成，其中第一金屬層 310a 的厚度係可等於晶片 320 的厚度，使得開口 314a 的深度等於晶片 320 的厚度。

接著，如第 3B 圖所示，將第一金屬層 310a 疊合於第二金屬層 310b 之上，使得第一金屬層 310a 之開口 314a 係與第二金屬層 310b 構成凹穴 314。接著如第 3C 圖所示，分別將晶片 320 之背面 324 貼附於凹穴 314 之底壁，也就是將晶片 320 鑲嵌於金屬基板 310 之內，並使得晶片 320 之主動表面 322 暴露於金屬基板 310 之表面 312 的上方。

由於第三實施例於第 3C 圖之後的晶片封裝製程與第一實施例的第 1C~1I 圖相同，故於此不再重複贅述。

本發明之第三實施例的晶片封裝製程係先提供一由第一金屬層及第二金屬層所疊合而成的金屬基板，並利用第

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (15)

一金屬層上的多個開口與第二金屬層之表面分別構成多個凹穴，並將晶片之背面貼附於凹穴之底壁，也就是將晶片鑲嵌於此一金屬基板之上，並暴露出晶片之主動表面。由於凹穴之底壁係為第二金屬層之表面，如此將有助於將晶片於運作時所產生的高熱傳導至外界，並且第一金屬層的上表面可提供平坦度足夠的支撐面，因而有助於積層線路層的製作。值得注意的是，可先利用衝壓的方式在第一金屬層上形成開口之後，再將已具有開口之第一金屬層疊合於第二金屬層上，即可得到第三實施例的金屬基板，由於利用衝壓形成開口的速率相當快且成本低廉，故可降低金屬基板的製作成本，進而降低晶片之封裝用基板的成本。

第四實施例

第四實施例與上述之第一、第二及第三實施例之相較之下有些許的不同。為說明本發明之第四實施例的晶片封裝製程，請依序參考第 4A～圖 4E，其為本發明之第四實施例的晶片封裝製程的部分剖面流程圖。

如第 4A 圖所示，首先提供一第一金屬基板 410，其具有一第一表面 412，並於第一金屬基板 410 之第一表面 412 上形成一絕緣層 (Insulator Layer) 414，其材質例如為金屬氮化物 (Metal Nitride) 或金屬氧化物 (Metal Oxide)，且絕緣層 414 的厚度約為 2~200 微米，通常為 20 微米。接著，提供多顆晶片 420，其中晶片 420 分別具有一主動表面 422 及對應之一背面 424，而晶片 420 更具

(請先閱讀背面之注意事項再
開本頁)

裝

言

第

五、發明說明(16)

有多個金屬墊 426，其分別位於晶片 420 之主動表面 422。此處與上述之三實施例不同的是，第四實施例係將晶片 420 以其主動表面 422 貼附於絕緣層 414 上。

如第 4B 圖所示，在將晶片 420 之主動表面 422 貼附於絕緣層 414 之上後，接著全面性形成一填充層 430 於絕緣層 414 之上，並且包覆晶片 420，其中填充層 430 之材質可包括環氧化物或聚合物等材料。

如第 4C 圖所示，在形成填充層 430 之後，例如研磨（如化學機械研磨 CMP）的方式，同時平整化及薄化填充層 430 及晶片 420 之背部，同時使得填充層 430 之薄化後的頂面對齊晶片 420 之薄化後的背面 424。由於晶片 420 之主動表面 422 上的主動元件及其線路（均未繪示）的厚度遠小於晶片 420 的厚度，故利用機器（例如真空吸頭）來取放晶片 420 時，晶片 420 的厚度不能太薄，否則很容易發生脆裂而破壞，但值得注意的是，由於本發明係將晶片 420 之主動表面 422 對位貼附於絕緣層 414 上，且在後續製程不必利用機器來取放晶片 420，故當利用研磨的方式來薄化晶片 420 之背部時，可將晶片 420 薄化至相當薄的厚度，也因此相對薄化晶片 420 於封裝之後的整體厚度。

如第 4D 圖所示，在平整化及薄化填充層 430 及晶片 420 之底部後，接著提供一第二金屬基板 440，其具有一第二表面 442，並將第二金屬基板 440 以其第二表面 442 貼附於填充層 430 及晶片 420 之上，使得絕緣層 414 及第二金屬基板 440 之間夾有填充層 430 及晶片 420。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (17)

如第 4E 圖所示，在貼附第二金屬基板 440 之後，接著移除第一金屬基板 410，而保留絕緣層 414 於晶片 420 及填充層 430 之上，其中移除第一金屬基板 410 的方法包括研磨及蝕刻，當利用蝕刻法來移除第一金屬基板 410 時，可以絕緣層 414 為蝕刻終點，將第一金屬基板 410 蝕刻移除。值得注意的是，由於第一金屬基板 410 係用以提供一平坦化平面（如第 4A 圖之第一表面 412 所示），讓絕緣層 414 貼附其上，故第一金屬基板 410 亦可利用其他材質的基板來取代，例如以玻璃、陶瓷、矽或有機材料等材質所製成的基板來取代之。

如第 4F 圖所示，在移除第一金屬基板 410 之後，接著在絕緣層 414 上形成多個第一貫孔 410a，其分別暴露出晶片 420 之主動表面 422 上的金屬墊 426。其中形成第一貫孔 410a 的方法包括機械鑽孔、雷射燒孔或電漿蝕孔等方法。

如第 4G 圖所示，接著形成一第一圖案化導線層 450 於絕緣層 414 之上，與第一實施例相同的是，可利用部分第一圖案化導線層 450 之導電材料填入第一貫孔 410a 之內，而形成第一導電插塞 410b，或者是先填入一導電材料於第一貫孔 410a 之內，而形成第一導電插塞 410b，接著再形成第一圖案化導線層 450 於絕緣層 414 上。值得注意的是，部分第一圖案化導線層 450 係延伸至晶片 420 之主動表面 422 上方之外的區域。

如第 4H 圖所示，接著形成一介電層 462 於絕緣層 414

（請先閱讀背面之注意事項再
● 為本頁）

裝

訂

線

五、發明說明(18)

與第一圖案化導線層 450 之上，並圖案化形成介電層 462 而形成第二貫孔 462a，其分別對應第一圖案化導線層 450 之接合墊 450a。

如第 4I 圖所示，接著形成一第二圖案化導線層 464 於介電層 462 之上，並以部分第二圖案化導線層 464 之導電材料填入第二貫孔 462a，以形成第二導電插塞 462b，或是預先填入導電材料於第二貫孔 462a 以形成第二導電插塞 462b，接著再形成第二圖案化導線層 464 於介電層 462 之上，同樣地爲了將晶片 420 上的金屬墊 426 均能重新分佈於晶片 420 及第二金屬基板 440 之上，可同樣再形成介電層 (462、...)、第二導電插塞 (462a、...) 及第二圖案化導線層 (464、...) 於晶片 420 及第二金屬基板 440 之上。其中絕緣層 414、第一圖案化線路層 450、介電層 462、... 及第二圖案化導線層 464、... 係共同構成積層線路層 460，而積層線路層 460 之外部線路則是由其中的第一導電插塞 410b、第一圖案化導線層 450、第二導電插塞 462b、... 及第二圖案化導線層 464 所構成。

由於第四實施例於第 4I 圖之後的製程如同第一實施例之第 1G~1I 圖及相關說明，故與此不再重複贅述。

本發明之第四實施例的晶片封裝製程係將晶片之主動表面貼附於第一金屬基板表面之絕緣層上，並全面性形成填充層於絕緣層及晶片之上，接著平整化及薄化填充層及晶片，再貼附第二金屬基板於填充層及晶片之上，並在絕緣層上形成貫孔並填入導電材料，再形成圖案化導線層於

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(19)

絕緣層之上，使得積層線路層之外部線路將延伸至晶片之主動表面上方以外的區域，用以將晶片的部分金屬墊扇出。

值得注意的是，由於各個晶片係先以主動表面貼附於第一金屬基板表面之絕緣層上，故可提高各個晶片之主動表面間的平面定位準確性，並在後續製程不必利用機器來取放晶片，故可將晶片本身薄化至相當薄的厚度，進而薄化晶片於封裝之後的整體厚度。

第五實施例

第五實施例之晶片封裝製程的前半段係採用第四實施例的製程，而後半段則是沿用第一實施例的製程。請依序參考第 5A~5E 圖，其為本發明之第五實施例的晶片封裝製程的部分剖面流程圖。

如第 5A 圖所示，首先形成一絕緣層 514 於第一金屬基板 510 之第一表面 512，接著分別將晶片 520 之主動表面 522 貼附於絕緣層 514 之上，其中絕緣層 514 之材質例如為金屬氮化物或金屬氧化物。接著如第 5B 圖所示，再全面性形成一填充層 530 於絕緣層 514 之上，並覆蓋晶片 520。

如第 5C 圖所示，平整化及薄化填充層 530 及晶片 520，使得填充層 530 之頂面對齊與晶片 520 之已薄化後的背面 524。接著如第 5D 圖所示，貼附一第二金屬基板 540 於填充層 530 及晶片 520 之上，並移除填充層 530 及第一金屬

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (20)

基板 510，使得晶片 520 之已薄化後的背面 524 可貼附於第二金屬基板 540 之上，並暴露晶片 520 之主動表面 522 上的金屬墊 526，如第 5E 圖所示。

值得注意得是，第一金屬基板 510 係用來提供一平坦化表面（第一表面 512），且在後續製程之中第一金屬基板 510 將被移除，故第一金屬基板 510 亦可利用其他材質的基板來取代，例如以玻璃、陶瓷、矽或有機材料為材質所製成的基板來取代之。同樣地，第一金屬基板 510 上的絕緣層 514 亦在後續製程之中將被移除，故第一金屬基板 510 上可不形成絕緣層 514，而直接將晶片 520 之主動表面 522 貼附於第一金屬基板 510 之第一表面 512。

由於第五實施例於第 5E 圖之後的製程與第一實施例之第 1B~1I 圖相同，於此不再重複贅述。

在本發明之第五實施例的晶片封裝製程中，由於各個晶片係先以主動表面貼附於第一金屬基板表面之絕緣層上，可提高各個晶片之主動表面間的平面定位準確性，並在後續製程同樣不必利用機器來取放晶片，故可將晶片薄化至相當薄的厚度，進而薄化晶片於封裝之後的整體厚度。

另外，請參考第 6 圖，其為本發明之一種晶片封裝結構，其應用於單顆晶片的剖面示意圖。本發明之晶片封裝結構 600 應用於單一晶片 620 之封裝時，同樣係將晶片 620 配置於金屬基板 610 上，並在金屬基板 610 及晶片 620 上配置一積層線路層 640，而積層線路層 640 之外部線路 642

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(2\)

其係由至少一圖案化導線層 642a 及多個導電插塞 642b 所構成。值得注意的是，由於晶片 620 內部的導線厚度通常小於 1 微米，且由於導線之積集度過高的緣故將相對產生較高的電性延遲（RC Delay），此外，電源/接地匯流排（Power/Ground Bus）需要較大的導線截面積，若僅利用晶片 620 內部的導線來形成電源/接地匯流排是不夠的。因此，本發明之晶片封裝結構 600 係利用位於晶片 620 上之積層線路層 640 的外部線路 642，其具有較大的線寬、線距及線厚，故可用作為晶片 620 內部電路之訊號傳遞媒介，或可作為晶片 620 內部電路之電源/接地匯流排等，如此將有助於提高晶片 620 之運作效能。

承上所述，請參考第 8 圖，其為本發明之一種晶片封裝結構的剖面局部放大示意圖。晶片 620 之主動表面 622 上具有多個主動元件 628a、628b，以及一內部線路 624，而內部線路 624 係在晶片 620 之表面係形成有多個金屬墊 626，因此，當訊號自主動元件 628a 經由內部線路 624 而傳遞至積層線路層 640 之外部線路 642 之後，可再從外部線路 642 經由晶片 620 之內部線路 624，而傳遞至其他主動元件 628b。值得注意的是，由於外部線路 642 之線寬、線距及線厚均大於內部線路 624 之線寬、線距及線厚，故可提供較佳的訊號傳遞路徑。

接著請同樣參考第 6 圖，外部線路 642 更包括至少一被動元件（Passive Device）644，例如電容（Capacitor）、電感（Inductor）及電阻（Resistor）等元件，而被動元件

（請先閱讀背面之注意事項再
開本頁）

裝

訂

結

五、發明說明(22)

644 係可配置於單層圖案化導線層 642a 上，或兩層相鄰之圖案化導線層 642a 之間。其中，在形成積層電路層 640 時，如第 9A、9B 圖所示，可將被動元件 644（如電阻材料）利用印刷或其他方式，配置於圖案化導線層 642a 之兩接點間，或是如第 10A 圖所示，直接利用單一圖案化導線層 642a 之梳狀結構來形成被動元件 644（如梳狀電容），或如第 10B 圖所示，在兩層圖案化導線層 642a 之板狀接點間配置一絕緣材料 646，因而形成被動元件 644（如電容），其中可以原先的介電層（未繪示）來代替絕緣材料 646，或如第 11A 圖所示，利用單層圖案化導線層 642a 之圓形螺旋狀結構或方形螺旋結構（未繪示）來形成被動元件 644（如電感），或如第 11B 圖所示，利用雙層圖案化導線層 642a 之斜線結構及多根導電插塞 642b 來包覆並環繞一絕緣材料 646，而形成柱狀之被動元件 644（如電感），或如第 11C 圖所示，同樣利用雙層圖案化導線層之斜線結構及多根導電插塞來包覆並環繞一絕緣材料 646，而形成環狀之被動元件 644（如電感），故可利用上述等結構，將原本焊接於晶片封裝結構上的被動元件，加以整合至晶片封裝結構之內部。

如第 6 圖所示，晶片封裝結構 600 除了可以封裝單顆晶片 620 之外，請參考第 7 圖，其為本發明之一種晶片封裝結構，其應用於多顆晶片的剖面示意圖。第 7 圖之晶片封裝結構 700 與第 6 圖之晶片封裝結構 600 之間的不同係在於，晶片封裝結構 700 更可同時封裝一晶片組 720，其

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(23)

至少包括有一顆或一顆以上的晶片，如晶片 720a、720b，而晶片 720a、720b 係可經由積層線路之外部線路相電性連接，其中晶片 720a、720b 之功能可相同或不同，可利用外部線路 742 將晶片 720a、720b 整合在一起，即類似多重晶片模組（Multi Chip Module，MCM）的方式，將功能相同或不同的晶片整合於同一封裝結構之內。值得注意的是，當多個晶片組封裝於同一晶片封裝結構時，於製程時則需以多顆晶片為單位進行分割。

綜上所述，本發明之晶片封裝製程係將晶片貼附於金屬基板上，或貼附於金屬基板上的凹穴內，並在晶片及金屬基板上形成積層線路層，用以將晶片上的金屬墊扇出，並同時形成接合墊及接點等，故可提供高腳位（High Pin Count）及較薄的晶片封裝結構。

與習知之球格陣列（BGA）或針腳柵狀陣列（PGA）的封裝型態相較之下，本發明之晶片封裝製程係直接在晶片及金屬基板上，將晶片的金屬墊扇出，故無須利用覆晶或打線的方式將晶片連接至具有微間距接點的封裝基板或承載器，由於此類具有微間距接點的封裝基板相當昂貴，因此本發明之晶片封裝製程將可大幅降低封裝晶片的成本，且本發明之晶片封裝製程所製作出的晶片封裝結構之訊號傳遞的路徑較短，故可有效降低訊號傳遞的延遲性及衰減性，進而增加晶片之運作效能。

本發明係將晶片以其背面貼附於金屬基板上，由於金屬本身材質已具有高熱傳導性的優點，故有助於將晶片於

（請先閱讀背面之注意事項再填寫本頁）

五、發明說明(24)

運作時所產生的高熱傳導至外界，因而提高晶片的運作效能，再加上金屬基板之製作技術早已成熟且製作成本及材料非常低廉，故採用金屬基板來作為晶片封裝用的基板，將可有效地降低晶片的封裝成本，同時提供晶片良好的散熱媒介，進而提升晶片之運作效能。此外，本發明於第三實施例中，係可先以衝壓的方式在第一金屬層上形成開口之後，再將已具有開口之第一金屬層疊合於第二金屬層上，即可得到具有凹穴的金屬基板，同樣地，由於利用衝壓形成開口的速率相當快且成本低廉，故可降低金屬基板的製作成本，進而降低晶片之封裝用基板的成本。

本發明之晶片封裝結構係可利用積層線路層之外部電路來作為晶片內部之兩主動元件之間的訊號傳遞，或作為電源/接地匯流排，或加入被動元件等。此外，本發明之晶片封裝結構除了可封裝單顆晶片之外，更可同時封裝多顆功能相同或不同的晶片，並利用積層線路層之外部電路來連接這些晶片，故本發明之晶片封裝結構係可應用於多重晶片模組（MCM）之封裝型態。值得注意的是，本發明之晶片封裝結構更可利用上述之多重晶片模組（MCM）、積層線路層的外部線路、及外部線路的被動元件等，藉以達成「系統於單一封裝結構內（System In Package）」的封裝型態。

雖然本發明已以五較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

六、申請專利範圍

1. 一種晶片封裝結構，至少包括：

一金屬基板；

一晶片，該晶片具有一主動表面及對應之一背面，且該晶片更具有複數個金屬墊，其配置於該主動表面上，而該晶片係以該背面貼附於該金屬基板上；以及

一積層線路層，配置於該金屬基板及該晶片上，該積層線路層具有一外部線路，其中該些外部線路係電性連接該晶片之該些金屬墊，且至少部分該外部線路係延伸至該晶片之該主動表面上方以外的區域，並且該外部線路具有複數個接合墊，其位於該積層線路層之表層，而每一該些接合墊係分別電性連接至該晶片之部分該些金屬墊之一。

2. 如申請專利範圍第 1 項所述之晶片封裝結構，其中該晶片更具有內部線路及複數個主動元件，且該內部線路及該些主動元件均配置於該晶片之該主動表面上，而該內部線路係電性連接至該些主動元件，並且該內部線路係形成該些金屬墊。

3. 如申請專利範圍第 2 項所述之晶片封裝結構，其中該些主動元件之一所發出的訊號係可經由該內部線路，而傳遞至該外部線路，再從該外部線路經由該內部線路而傳遞至該些主動元件之另一。

4. 如申請專利範圍第 3 項所述之晶片封裝結構，其中該外部線路之線寬、線距及線厚均分別對應大於該內部線路之線寬、線距及線厚。

5. 如申請專利範圍第 1 項所述之晶片封裝結構，其

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

中該外部線路更包括一電源/接地匯流排。

6. 如申請專利範圍第 1 項所述之晶片封裝結構，其中該積層線路層至少包括一圖案化導線層及一介電層，而該介電層係配置於該金屬基板及該晶片之上，且該圖案化導線層係配置於該介電層之上，並穿過該介電層而電性連接該晶片之該些金屬墊，其中該圖案化導線層係構成該外部線路及形成該外部線路之該些接合墊。

7. 如申請專利範圍第 6 項所述之晶片封裝結構，其中該介電層具有複數個貫孔，且該圖案化導線層係穿過該些貫孔而電性連接該晶片之該些金屬墊。

8. 如申請專利範圍第 6 項所述之晶片封裝結構，其中該些貫孔內分別具有一導電插塞，且該圖案化導線層係經由該些導電插塞而電性連接該晶片之該些金屬墊。

9. 如申請專利範圍第 6 項所述之晶片封裝結構，其中該圖案化導線層更與該些導電插塞構成該外部線路。

10. 如申請專利範圍第 6 項所述之晶片封裝結構，其中該外部線路更包括至少一被動元件。

11. 如申請專利範圍第 6 項所述之晶片封裝結構，其中該被動元件包括電阻、電感及電容其中之一。

12. 如申請專利範圍第 10 項所述之晶片封裝結構，其中該被動元件係可由該圖案化導線層之部分結構所構成。

13. 如申請專利範圍第 6 項所述之晶片封裝結構，其中該介電層之材質包括聚醯亞胺、苯基環丁烯、多孔性介

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

電材料及彈性緩衝材料其中之一。

14. 如申請專利範圍第 1 項所述之晶片封裝結構，其中該積層線路層至少包括複數個圖案化導線層及複數個介電層，而該些圖案化導線層及該些介電層係依序交錯疊合，且該積層線路層與該金屬基板及該晶片之間係為該些介電層之一，其中每一該些圖案化導線層係分別穿過該些介電層之一，而電性連接其他相鄰之該些圖案化導線層，且該些圖案化導線層之最接近該金屬基板者係穿過該些介電層之最接近該金屬基板者，而電性連接該晶片之該些金屬墊，其中該些圖案化導線層係構成該外部線路，且該些圖案化導線層之最遠離該金屬基板者係形成該些接合墊。

15. 如申請專利範圍第 14 項所述之晶片封裝結構，其中每一該些介電層分別具有複數個貫孔，且每一該些圖案化導線層係分別穿過該些貫孔，而電性連接相鄰之該些圖案化導線層，並且該些圖案化導線層之最接近該金屬基板者係穿過該些介電層之最接近該金屬基板者的該些貫孔，而電性連接該晶片之該些金屬墊。

16. 如申請專利範圍第 15 項所述之晶片封裝結構，其中該些貫孔內分別具有一導電插塞，且每一該些圖案化導線層係分別經由該些導電插塞，而電性連接相鄰之該些圖案化導線層，並且該些圖案化導線層之最接近該金屬基板者係經由該些導電插塞之最接近該金屬基板者，而電性連接該晶片之該些金屬墊。

17. 如申請專利範圍第 16 項所述之晶片封裝結構，

(請先閱讀背面之注意事項
再寫本頁)

六、申請專利範圍

其中該些圖案化導線層更與該些導電插塞構成該外部線路。

18. 如申請專利範圍第 14 項所述之晶片封裝結構，其中該外部線路更包括至少一被動元件。

19. 如申請專利範圍第 18 項所述之晶片封裝結構，其中該被動元件包括電阻、電感及電容其中之一。

20. 如申請專利範圍第 18 項所述之晶片封裝結構，其中該被動元件係可由部分該些圖案化導線層之部分結構所構成。

21. 如申請專利範圍第 11 項所述之晶片封裝結構，其中該些介電層之材質包括聚醯亞胺、苯基環丁烯、多孔性介電材料及彈性緩衝材料其中之一。

22. 如申請專利範圍第 1 項所述之晶片封裝結構，其中該金屬基板更具有至少一凹穴，其凹陷於該金屬基板之表面，且該晶片係以該背面貼附於該凹穴之底壁。

23. 如申請專利範圍第 1 項所述之晶片封裝結構，其中該金屬基板係包括由一第一金屬層及一第二金屬層相疊合而成，而該金屬基板之表面係為該第一金屬層之遠離該第二金屬層之一面，且該第一金屬層具有一開口，其貫穿該第一金屬層，並且該開口之側壁與該第二金屬層之表面係構成該凹穴，而該晶片係以該背面貼附於該凹穴之底壁。

24. 如申請專利範圍第 23 項所述之晶片封裝結構，其中該第一金屬層之厚度約等於該晶片之厚度。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

25. 如申請專利範圍第 1 項所述之晶片封裝結構，更包括一填充層，其配置於該金屬基板之表面及該積層線路層之間，且環繞於該晶片之周緣，並且該填充層之頂面係對齊於該晶片之該主動表面。

26. 如申請專利範圍第 25 項所述之晶片封裝結構，其中該填充層之材質包括環氧化物及聚合物其中之一。

27. 如申請專利範圍第 1 項所述之晶片封裝結構，更包括圖案化之一保護層，其配置於該積層線路層之上，並暴露出該些接合墊。

28. 如申請專利範圍第 1 項所述之晶片封裝結構，更包括複數個接點，其分別配置於該些接合墊上。

29. 如申請專利範圍第 28 項所述之晶片封裝結構，其中該些接點之型態包括錫球、凸塊及針腳其中之一。

30. 一種晶片封裝結構，至少包括：

一金屬基板；

複數個晶片，每一該些晶片分別具有一主動表面及對應之一背面，且每一該些晶片更分別具有複數個金屬墊，其配置於對應之該主動表面上，而每一該些晶片係分別以該背面貼附於該金屬基板上；以及

一積層線路層，配置於該金屬基板及該些晶片上，該積層線路層具有一外部線路，其中該些外部線路係電性連接該些晶片之該些金屬墊，且至少部分該外部線路係延伸至該晶片之該主動表面上方以外的區域，並且該外部線路具有複數個接合墊，其位於該積層線路層之表層，而每一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

該些接合墊係分別電性連接至該些晶片之部分該些金屬墊之一。

31. 如申請專利範圍第 30 項所述之晶片封裝結構，其中該些晶片係為複數個功能相同的晶片。

32. 如申請專利範圍第 30 項所述之晶片封裝結構，其中部分該些晶片係為複數個功能不同的晶片。

33. 如申請專利範圍第 30 項所述之晶片封裝結構，其中該些晶片之至少一更具有有一內部線路及複數個主動元件，且該內部線路及該些主動元件均配置於對應之該主動表面上，而該內部線路係電性連接至該些主動元件，並且該內部線路係形成該些金屬墊。

34. 如申請專利範圍第 33 項所述之晶片封裝結構，其中該些主動元件之一所發出的訊號係可經由該內部線路，而傳遞至該外部線路，再從該外部線路經由該內部線路而傳遞至該些主動元件之另一。

35. 如申請專利範圍第 34 項所述之晶片封裝結構，其中該外部線路之線寬、線距及線厚均分別對應大於該內部線路之線寬、線距及線厚。

36. 如申請專利範圍第 30 項所述之晶片封裝結構，其中該外部線路更包括一電源/接地匯流排。

37. 如申請專利範圍第 30 項所述之晶片封裝結構，其中該積層線路層至少包括一圖案化導線層及一介電層，而該介電層係配置於該金屬基板及該些晶片之上，且該圖案化導線層係配置於該介電層之上，並穿過該介電層而電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

性連接該些晶片之該些金屬墊，其中該圖案化導線層係構成該外部線路及形成該外部線路之該些接合墊。

38. 如申請專利範圍第 37 項所述之晶片封裝結構，其中該介電層具有複數個貫孔，且該圖案化導線層係穿過該些貫孔而電性連接該些晶片之該些金屬墊。

39. 如申請專利範圍第 38 項所述之晶片封裝結構，其中該些貫孔內分別具有一導電插塞，且該圖案化導線層係經由該些導電插塞而電性連接該些晶片之該些金屬墊。

40. 如申請專利範圍第 39 項所述之晶片封裝結構，其中該圖案化導線層更與該些導電插塞構成該外部線路。

41. 如申請專利範圍第 37 項所述之晶片封裝結構，其中該外部線路更包括至少一被動元件。

42. 如申請專利範圍第 41 項所述之晶片封裝結構，其中該被動元件包括電阻、電感及電容其中之一。

43. 如申請專利範圍第 41 項所述之晶片封裝結構，其中該被動元件係可由該圖案化導線層之部分結構所構成。

44. 如申請專利範圍第 37 項所述之晶片封裝結構，其中該介電層之材質包括聚醯亞胺、苯基環丁烯、多孔性介電材料及彈性緩衝材料其中之一。

45. 如申請專利範圍第 30 項所述之晶片封裝結構，其中該積層線路層至少包括複數個圖案化導線層及複數個介電層，而該些圖案化導線層及該些介電層係依序交錯疊合，且該積層線路層與該金屬基板及該些晶片之間係為該

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

些介電層之一，其中每一該些圖案化導線層係分別穿過該些介電層之一，而電性連接相鄰之該些圖案化導線層，且該些圖案化導線層之最接近該金屬基板者係穿過該些介電層之最接近該金屬基板者，而電性連接該些晶片之該些金屬墊，其中該些圖案化導線層係構成該外部線路，且該些圖案化導線層之最遠離該金屬基板者係形成該些接合墊。

46. 如申請專利範圍第 45 項所述之晶片封裝結構，其中每一該些介電層分別具有複數個貫孔，且每一該些圖案化導線層係分別穿過該些貫孔，而電性連接相鄰之該些圖案化導線層，並且該些圖案化導線層之最接近該金屬基板者係穿過該些介電層之最接近該金屬基板者的該些貫孔，而電性連接該些晶片之該些金屬墊。

47. 如申請專利範圍第 46 項所述之晶片封裝結構，其中該些貫孔內分別具有一導電插塞，且每一該些圖案化導線層係分別經由該些導電插塞，而電性連接相鄰之該些圖案化導線層，並且該些圖案化導線層之最接近該金屬基板者係經由該些導電插塞之最接近該金屬基板者，而電性連接該些晶片之該些金屬墊。

48. 如申請專利範圍第 47 項所述之晶片封裝結構，其中該些圖案化導線層更與該些導電插塞構成該外部線路。

49. 如申請專利範圍第 45 項所述之晶片封裝結構，其中該外部線路更包括至少一被動元件。

50. 如申請專利範圍第 49 項所述之晶片封裝結構，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

其中該被動元件包括電阻、電感及電容其中之一。

51. 如申請專利範圍第 49 項所述之晶片封裝結構，其中該被動元件係可由部分該些圖案化導線層之部分結構所構成。

52. 如申請專利範圍第 45 項所述之晶片封裝結構，其中該介電層之材質包括聚醯亞胺、苯基環丁烯、多孔性介電材料及彈性緩衝材料其中之一。

53. 如申請專利範圍第 30 項所述之晶片封裝結構，其中該金屬基板更具有複數個凹穴，其分別凹陷於該金屬基板之表面，且每一該些晶片係分別以該背面貼附於該凹穴之一的底壁。

54. 如申請專利範圍第 30 項所述之晶片封裝結構，其中該金屬基板係包括由一第一金屬層及一第二金屬層相疊合而成，而該金屬基板之表面係為該第一金屬層之遠離該第二金屬層之一面，且該第一金屬層具有複數個開口，其貫穿該第一金屬層，並且該些開口之側壁與該第二金屬層之表面係分別構成該些凹穴，而該些晶片係分別以該背面貼附於該凹穴之一的底壁。

55. 如申請專利範圍第 54 項所述之晶片封裝結構，其中該些第一金屬層之厚度約等於該些晶片之厚度。

56. 如申請專利範圍第 30 項所述之晶片封裝結構，更包括一填充層，其配置於該金屬基板之表面及該積層線路層之間，且環繞於該些晶片之周緣，並且該填充層之頂面係對齊於該些晶片之該主動表面。

(請先閱讀背面之注意事項再填寫本頁)

裝

言

名

六、申請專利範圍

57. 如申請專利範圍第 56 項所述之晶片封裝結構，其中該填充層之材質包括環氧化物及聚合物其中之一。

58. 如申請專利範圍第 30 項所述之晶片封裝結構，更包括圖案化之一保護層，其配置於該積層線路層之上，並暴露出該些接合墊。

59. 如申請專利範圍第 30 項所述之晶片封裝結構，更包括複數個接點，其分別配置於該些接合墊上。

60. 如申請專利範圍第 59 項所述之晶片封裝結構，其中該些接點之型態包括鉚球、凸塊及針腳其中之一。

61. 一種晶片封裝製程，至少包括：

提供一金屬基板，該金屬基板具有一表面；

提供複數個晶片，其中每一該些晶片分別具有一主動表面及對應之一背面，且每一該些晶片更分別具有複數個金屬墊，其分別配置於對應之該主動表面上，並將該些晶片以該背面貼附於該金屬基板之該表面；

配置一第一介電層於該金屬基板之該表面及該些晶片之該主動表面之上；以及

配置一第一圖案化導線層於該第一介電層之上，其中該第一圖案化導線層係穿過該第一介電層，而電性連接該些晶片之該些金屬墊，且部分該第一圖案化導線層係延伸至該些晶片之該主動表面上方以外的區域，並且該第一圖案化導線層具有複數個第一接合墊。

62. 如申請專利範圍第 61 項所述之晶片封裝製程，其中該些晶片係為複數個功能相同的晶片。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

63. 如申請專利範圍第 61 項所述之晶片封裝製程，其中該些晶片係為複數種功能不同的晶片。

64. 如申請專利範圍第 61 項所述之晶片封裝製程，其中該金屬基板更具有複數個凹穴，其分別凹陷於該金屬基板之該表面，而該些晶片係以該背面分別貼附於該些凹穴之一的底壁。

65. 如申請專利範圍第 64 項所述之晶片封裝製程，其中該些凹穴的深度係分別等於該些晶片的厚度。

66. 如申請專利範圍第 64 項所述之晶片封裝製程，其中該些凹穴係利用機械加工的方式所形成。

67. 如申請專利範圍第 61 項所述之晶片封裝製程，其中該金屬基板係包括由一第一金屬層及一第二金屬層相疊合而成，而該表面係為該第一金屬層之遠離該第二金屬層之一面，且該第一金屬層具有複數個開口，其貫穿該第一金屬層，並且該些開口之側壁與該第二金屬層之表面分別構成該些凹穴，而每一該些晶片係分別以該背面貼附於該凹穴之一的底壁。

68. 如申請專利範圍第 67 項所述之晶片封裝製程，其中該第一金屬層的厚度約等於該些晶片的厚度。

69. 如申請專利範圍第 67 項所述之晶片封裝製程，其中該第一金屬層之該些開口係可先以衝壓的方式所形成之後，再將該第一金屬層及該第二金屬層疊合而構成該金屬基板。

70. 如申請專利範圍第 61 項所述之晶片封裝製程，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

其中在貼附該些晶片之後，並在配置該第一介電層之前，更包括形成一填充層於該金屬基板之該表面之上，且環繞於該些晶片之周緣，並且該填充層之頂面係對齊該些晶片之該主動表面。

71. 如申請專利範圍第 70 項所述之晶片封裝製程，其中該填充層之材質包括環氧化物及聚合物其中之一。

72. 如申請專利範圍第 61 項所述之晶片封裝製程，其中在配置該第一介電層之後，且在配置該第一圖案化導線層之前，更包括圖案化第一介電層而形成複數個第一貫孔，其分別對應該些金屬墊而貫穿該第一介電層，並且該第一圖案化導線層係穿過該些第一貫孔，而電性連接該些晶片之該些金屬墊。

73. 如申請專利範圍第 72 項所述之晶片封裝製程，其中在配置該第一圖案化導線層於該第一介電層之上時，並將部分該第一圖案化導線層之導電材料填入該些第一貫孔之內，而同時形成複數個第一導電插塞及該第一圖案化導線層，使得該第一圖案化導線層可經由該些第一導電插塞，而電性連接該些晶片之該些金屬墊。

74. 如申請專利範圍第 72 項所述之晶片封裝製程，其中在配置該第一圖案化導線層於該第一介電層之上前，更包括填入導電材料於該些第一貫孔之內，而形成複數個第一導電插塞，使得該第一圖案化導線層可經由該些第一導電插塞，而電性連接該些晶片之該些金屬墊。

75. 如申請專利範圍第 61 項所述之晶片封裝製程，

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

其中該第一介電層之材質包括聚醯亞胺、苯基環丁烯、多孔性介電材料及彈性緩衝材料其中之一。

76. 如申請專利範圍第 61 項所述之晶片封裝製程，其中配置該第一圖案化導線層於該第一介電層之上的方法包括濺鍍、有電電鍍及無電電鍍其中之一。

77. 如申請專利範圍第 61 項所述之晶片封裝製程，更包括配置圖案化之一保護層於該第一介電層及該第一圖案化導線層之上，並暴露出該些第一接合墊。

78. 如申請專利範圍第 61 項所述之晶片封裝製程，更包括分別配置一接點於該些第一接合墊上。

79. 如申請專利範圍第 78 項所述之晶片封裝製程，其中該些接點之型態包括鐸球、凸塊及針腳其中之一。

80. 如申請專利範圍第 78 項所述之晶片封裝製程，在分別配置該些接點於該些接合墊上之後，更包括分割該些晶片之封裝結構。

81. 如申請專利範圍第 80 項所述之晶片封裝製程，其中在分割該些晶片之封裝結構時，係以單顆晶片為單位進行分割。

82. 如申請專利範圍第 80 項所述之晶片封裝製程，其中在分割該些晶片之封裝結構時，係以多顆晶片為單位進行分割。

83. 如申請專利範圍第 61 項所述之晶片封裝製程，更包括：

(a) 配置一第二介電層於該第一介電層及該第一圖

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

案化導線層之上；以及

(b) 配置一第二圖案化導線層於該第二介電層之上，其中該第二圖案化導線層係穿過該第二介電層，而電性連接該第一圖案化導線層，且部分該第二圖案化導線層係延伸至該些晶片之該主動表面上方以外的區域，並且該第二圖案化導線層具有複數個第二接合墊。

84. 如申請專利範圍第 83 項所述之晶片封裝製程，其中在配置該第二介電層之後，且在配置該第二圖案化導線層之前，更包括圖案化該第二介電層而形成複數個第二貫孔，其分別對應該些第一接合墊而貫穿該第二介電層，並且該第二圖案化導線層係穿過該些第二貫孔，而電性連接該第一圖案化導線層。

85. 如申請專利範圍第 84 項所述之晶片封裝製程，其中在配置該第二圖案化導線層於該第二介電層之上時，並將部分該第二圖案化導線層之導電材料填入該些第二貫孔之內，而同時形成複數個第二導電插塞及該第二圖案化導線層，其中該第二圖案化導線層可經由該些第二導電插塞，而電性連接該第一圖案化導線層。

86. 如申請專利範圍第 84 項所述之晶片封裝製程，其中在配置該第二圖案化導線層於該第二介電層之上前，更包括填入導電材料於該些第二貫孔之內，而形成複數個第二導電插塞，其中該第二圖案化導線層可經由該些第二導電插塞，而電性連接該第一圖案化導線層。

87. 如申請專利範圍第 83 項所述之晶片封裝製程，

(請先閱讀背面之注意事項再填本頁)

裝

訂

綳

六、申請專利範圍

其中該第二介電層之材質包括聚乙醯胺、苯基環丁烯、多孔性介電材料及彈性緩衝材料其中之一。

88. 如申請專利範圍第 83 項所述之晶片封裝製程，其中配置該第二圖案化導線層於該第二介電層之上的方法包括濺鍍、有電電鍍及無電電鍍其中之一。

89. 如申請專利範圍第 83 項所述之晶片封裝製程，更包括配置圖案化之一保護層於該第二介電層及該第二圖案化導線層之上，並暴露出該些第二接合墊。

90. 如申請專利範圍第 83 項所述之晶片封裝製程，更包括分別配置一接點於該些第二接合墊上。

91. 如申請專利範圍第 90 項所述之晶片封裝製程，其中該些接點之型態包括鋁球、凸塊及針腳其中之一。

92. 如申請專利範圍第 90 項所述之晶片封裝製程，在分別配置該些接點於該些第二接合墊上之後，更包括分割該些晶片之封裝結構。

93. 如申請專利範圍第 92 項所述之晶片封裝製程，其中在分割該些晶片之封裝結構時，係以單顆晶片為單位進行分割。

94. 如申請專利範圍第 92 項所述之晶片封裝製程，其中在分割該些晶片之封裝結構時，係以多顆晶片為單位進行分割。

95. 如申請專利範圍第 83 項所述之晶片封裝製程，更包括重複步驟 (a) 及步驟 (b) 複數次。

96. 如申請專利範圍第 95 項所述之晶片封裝製程，

(請先閱讀背面之注意事項再填寫本頁)

訂

泉

六、申請專利範圍

更包括配置圖案化之一保護層於該些第二介電層之最遠離該金屬基板者及該第二圖案化導線層之最遠離該金屬基板者之上，並暴露出該第二圖案化導線層之最遠離該金屬基板者的該些第二接合墊。

97. 如申請專利範圍第 95 項所述之晶片封裝製程，更包括分別配置一接點於該些第二圖案化導線層之最遠離該金屬基板者的該些第二接合墊上。

98. 如申請專利範圍第 97 項所述之晶片封裝製程，其中該些接點之型態包括鐸球、凸塊及針腳其中之一。

99. 如申請專利範圍第 97 項所述之晶片封裝製程，在分別配置該些接點於該些接合墊上之後，更包括分割該些晶片之封裝結構。

100. 如申請專利範圍第 99 項所述之晶片封裝製程，其中在分割該些晶片之封裝結構時，係以單顆晶片為單位進行分割。

101. 如申請專利範圍第 100 項所述之晶片封裝製程，其中在分割該些晶片之封裝結構時，係以多顆晶片為單位進行分割。

102. 一種晶片封裝製程，至少包括：

提供一基板，該基板具有一第一表面；

配置一絕緣層於該基板之該第一表面；

提供複數個晶片，其中每一該些晶片分別具有一主動表面及對應之一背面，且每一該些晶片更分別具有複數個金屬墊，其分別配置於對應之該主動表面，並將該些晶片

(請先閱讀背面之注意事項再填寫本頁)

訂

錄

六、申請專利範圍

以該主動表面貼附於該絕緣層上；

全面性形成一填充層於該絕緣層之上，並包覆該些晶片；

平整化及薄化該填充層及該些晶片；

提供一金屬基板，該金屬基板具有一第二表面，並將該金屬基板以該第二表面貼附於該填充層及該些晶片上；

移除該基板；以及

配置一第一圖案化導線層於該絕緣層之上，其中該第一圖案化導線層係穿過該絕緣層，而電性連接該些晶片之該些金屬墊，且部分該第一圖案化導線層係延伸至該些晶片之該主動表面上方以外的區域，並且該第一圖案化導線層具有複數個第一接合墊。

103. 如申請專利範圍第 102 項所述之晶片封裝製程，其中該些晶片係為單一功能相同的晶片。

104. 如申請專利範圍第 102 項所述之晶片封裝製程，其中該些晶片係為複數種功能不同的晶片。

105. 如申請專利範圍第 102 項所述之晶片封裝製程，其中該基板之材質包括玻璃、陶瓷、金屬、矽及有機材料其中之一。

106. 如申請專利範圍第 102 項所述之晶片封裝製程，其中該填充層之材質包括環氧化物及聚合物其中之一。

107. 如申請專利範圍第 102 項所述之晶片封裝製程，其中該絕緣層之厚度約為 2~200 微米。

108. 如申請專利範圍第 102 項所述之晶片封裝製程，

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

其中移除該基板的方式包括研磨及蝕刻其中之一。

109. 如申請專利範圍第 108 項所述之晶片封裝製程，其中可以該絕緣層為蝕刻終點，而蝕刻移除該基板。

110. 如申請專利範圍第 102 項所述之晶片封裝製程，其中配置該第一圖案化導線層於該絕緣層之上的方法包括濺鍍、有電電鍍及無電電鍍其中之一。

111. 如申請專利範圍第 102 項所述之晶片封裝製程，其中在配置該第一圖案化導線層之前，更包括圖案化該絕緣層而形成複數個第一貫孔，其分別對應該些金屬墊而貫穿該絕緣層，並且該第一圖案化導線層係穿過該些第一貫孔，而電性連接該些晶片之該些金屬墊。

112. 如申請專利範圍第 111 項所述之晶片封裝製程，其中在配置該第一圖案化導線層於該絕緣層之上時，並將部分該第一圖案化導線層之導電材料填入該些第一貫孔之內，而同時形成複數個第一導電插塞及該第一圖案化導線層，使得該第一圖案化導線層可經由該些第一導電插塞，而電性連接該些晶片之該些金屬墊。

113. 如申請專利範圍第 111 項所述之晶片封裝製程，其中在配置該第一圖案化導線層於該絕緣層之上前，更包括填入導電材料於該些第一貫孔之內，而形成複數個第一導電插塞，使得該第一圖案化導線層可經由該些第一導電插塞，而電性連接該些晶片之該些金屬墊。

114. 如申請專利範圍第 102 項所述之晶片封裝製程，更包括配置圖案化之一保護層於該絕緣層及該第一圖案化

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

導線層之上，並暴露出該些第一接合墊。

115. 如申請專利範圍第 102 項所述之晶片封裝製程，更包括分別配置一接點於該些第一接合墊上。

116. 如申請專利範圍第 115 項所述之晶片封裝製程，其中該些接點之型態包括錫球、凸塊及針腳其中之一。

117. 如申請專利範圍第 115 項所述之晶片封裝製程，在分別配置該些接點於該些接合墊上之後，更包括分割該些晶片之封裝結構。

118. 如申請專利範圍第 117 項所述之晶片封裝製程，其中在分割該些晶片之封裝結構時，係以單顆晶片為單位進行分割。

119. 如申請專利範圍第 117 項所述之晶片封裝製程，其中在分割該些晶片之封裝結構時，係以多顆晶片為單位進行分割。

120. 如申請專利範圍第 102 項所述之晶片封裝製程，更包括：

(a) 配置一介電層於該絕緣層及該第一圖案化導線層之上；以及

(b) 配置一第二圖案化導線層於該絕緣層之上，其中該第二圖案化導線層係穿過該絕緣層，而電性連接該第一圖案化導線層，且部分該第二圖案化導線層係延伸至該些晶片之該主動表面上方以外的區域，並且該第二圖案化導線層具有複數個第二接合墊。

121. 如申請專利範圍第 120 項所述之晶片封裝製程，

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

其中在配置該第二介電層之後，且在配置該第二圖案化導線層之前，更包括圖案化該介電層而形成複數個第二貫孔，其分別對應該些第一接合墊而貫穿該介電層，並且該第二圖案化導線層係穿過該些第二貫孔，而電性連接該第一圖案化導線層。

122. 如申請專利範圍第 121 項所述之晶片封裝製程，其中在配置該第二圖案化導線層於該介電層之上時，並將部分該第二圖案化導線層之導電材料填入該些第二貫孔之內，而同時形成複數個第二導電插塞及該第二圖案化導線層，其中該第二圖案化導線層可經由該些第二導電插塞，而電性連接該第一圖案化導線層。

123. 如申請專利範圍第 121 項所述之晶片封裝製程，其中在配置該第二圖案化導線層於該介電層之上前，更包括填入導電材料於該些第二貫孔之內，而形成複數個第二導電插塞，其中該第二圖案化導線層可經由該些第二導電插塞，而電性連接該第一圖案化導線層。

124. 如申請專利範圍第 120 項所述之晶片封裝製程，其中該第二介電層之材質包括聚乙醯胺、苯基環丁烯、多孔性介電材料及彈性緩衝材料其中之一。

125. 如申請專利範圍第 120 項所述之晶片封裝製程，其中配置該第二圖案化導線層於該第二介電層之上的方法包括濺鍍、有電電鍍及無電電鍍其中之一。

126. 如申請專利範圍第 120 項所述之晶片封裝製程，更包括配置圖案化之一保護層於該第二介電層及該第二圖

(請先閱讀背面之注意事項再填寫本頁)

訂

象

六、申請專利範圍

案化導線層之上，並暴露出該些第二接合墊。

127. 如申請專利範圍第 120 項所述之晶片封裝製程，更包括分別配置一接點於該些第二接合墊上。

128. 如申請專利範圍第 127 項所述之晶片封裝製程，其中該些接點之型態包括錫球、凸塊及針腳其中之一。

129. 如申請專利範圍第 127 項所述之晶片封裝製程，在分別配置該些接點於該些第二接合墊上之後，更包括分割該些晶片之封裝結構。

130. 如申請專利範圍第 129 項所述之晶片封裝製程，其中在分割該些晶片之封裝結構時，係以單顆晶片為單位進行分割。

131. 如申請專利範圍第 129 項所述之晶片封裝製程，其中在分割該些晶片之封裝結構時，係以多顆晶片為單位進行分割。

132. 如申請專利範圍第 120 項所述之晶片封裝製程，更包括重複步驟 (a) 及步驟 (b) 複數次。

133. 如申請專利範圍第 132 項所述之晶片封裝製程，更包括配置圖案化之一保護層於該些第二介電層之最遠離該金屬基板者及該第二圖案化導線層之最遠離該金屬基板者之上，並暴露出該第二圖案化導線層之最遠離該金屬基板者的該些第二接合墊。

134. 如申請專利範圍第 132 項所述之晶片封裝製程，更包括分別配置一接點於該第二圖案化導線層之最遠離該金屬基板者的該些第二接合墊上。

(請先閱讀背面之注意事項再填寫本頁)

訂

泉

六、申請專利範圍

135. 如申請專利範圍第 134 項所述之晶片封裝製程，其中該些接點之型態包括鉚球、凸塊及針腳其中之一。

136. 如申請專利範圍第 134 項所述之晶片封裝製程，在分別配置該些接點於該些接合墊上之後，更包括分割該些晶片之封裝結構。

137. 如申請專利範圍第 136 項所述之晶片封裝製程，其中在分割該些晶片之封裝結構時，係以單顆晶片為單位進行分割。

138. 如申請專利範圍第 136 項所述之晶片封裝製程，其中在分割該些晶片之封裝結構時，係以多顆晶片為單位進行分割。

139. 一種晶片封裝製程，至少包括：

提供一基板，該基板具有一第一表面；

提供複數個晶片，其中每一該些晶片分別具有一主動表面及對應之一背面，且每一該些晶片更分別具有複數個金屬墊，其分別配置於對應之該主動表面，並將該些晶片以該主動表面貼附於該基板之該第一表面；

全面性形成一第一填充層於該基板之該第一表面，並包覆該些晶片；

平整化及薄化該第一填充層及該些晶片；

提供一金屬基板，該金屬基板具有一第二表面，並將該金屬基板以該第二表面貼附於該第一填充層及該些晶片上；

移除該第一填充層及該基板；

(請先閱讀背面之注意事項再填寫本頁)

訂

泉

六、申請專利範圍

配置一第一介電層於該金屬基板之該第二表面及該些晶片之該主動表面之上；以及

配置一第一圖案化導線層於該第一介電層之上，其中該第一圖案化導線層係穿過該第一介電層，而電性連接該些晶片之該些金屬墊，且部分該第一圖案化導線層係延伸至該些晶片之該主動表面上方以外的區域，並且該第一圖案化導線層具有複數個第一接合墊。

140. 如申請專利範圍第 139 項所述之晶片封裝製程，其中該些晶片係為單一種功能相同的晶片。

141. 如申請專利範圍第 139 項所述之晶片封裝製程，其中該些晶片係為複數種功能不同的晶片。

142. 如申請專利範圍第 139 項所述之晶片封裝製程，其中該基板之材質包括玻璃、陶瓷、金屬、矽及有機材料其中之一。

143. 如申請專利範圍第 139 項所述之晶片封裝製程，其中該第一填充層之材質包括環氧化物及聚合物其中之一。

144. 如申請專利範圍第 139 項所述之晶片封裝製程，其中在貼附金屬基板之後，且在移除該第一填充層及該基板之前，更包括形成一第二填充層於該金屬基板之該第二表面之上，且環繞於該些晶片之周緣，並且該第二填充層之頂面係對齊該些晶片之該主動表面。

145. 如申請專利範圍第 144 項所述之晶片封裝製程，其中該第二填充層之材質包括環氧化物及聚合物其中之

(請先閱讀背面之注意事項再填寫本頁)

訂

泉

六、申請專利範圍

一。

146. 如申請專利範圍第 139 項所述之晶片封裝製程，其中在配置該第一介電層之後，且在配置該第一圖案化導線層之前，更包括圖案化第一介電層而形成複數個第一貫孔，其分別對應該些金屬墊而貫穿該第一介電層，並且該第一圖案化導線層係穿過該些第一貫孔，而電性連接該些晶片之該些金屬墊。

147. 如申請專利範圍第 146 項所述之晶片封裝製程，其中在配置該第一圖案化導線層於該第一介電層之上時，並將部分該第一圖案化導線層之導電材料填入該些第一貫孔之內，而同時形成複數個第一導電插塞及該第一圖案化導線層，使得該第一圖案化導線層可經由該些第一導電插塞，而電性連接該些晶片之該些金屬墊。

148. 如申請專利範圍第 146 項所述之晶片封裝製程，其中在配置該第一圖案化導線層於該第一介電層之上前，更包括填入導電材料於該些第一貫孔之內，而形成複數個第一導電插塞，使得該第一圖案化導線層可經由該些第一導電插塞，而電性連接該些晶片之該些金屬墊。

149. 如申請專利範圍第 139 項所述之晶片封裝製程，其中該第一介電層之材質包括聚醯亞胺、苯基環丁烯、多孔性介電材料及彈性緩衝材料其中之一。

150. 如申請專利範圍第 139 項所述之晶片封裝製程，其中配置該第一圖案化導線層於該第一介電層之上的方法包括濺鍍、有電電鍍及無電電鍍其中之一。

(請先閱讀背面之注意事項再填寫本頁)

訂

章

六、申請專利範圍

151. 如申請專利範圍第 139 項所述之晶片封裝製程，更包括配置圖案化之一保護層於該第一介電層及該第一圖案化導線層之上，並暴露出該些第一接合墊。

152. 如申請專利範圍第 139 項所述之晶片封裝製程，更包括分別配置一接點於該些第一接合墊上。

153. 如申請專利範圍第 152 項所述之晶片封裝製程，其中該些接點之型態包括錫球、凸塊及針腳其中之一。

154. 如申請專利範圍第 152 項所述之晶片封裝製程，在分別配置該些接點於該些接合墊上之後，更包括分割該些晶片之封裝結構。

155. 如申請專利範圍第 154 項所述之晶片封裝製程，其中在分割該些晶片之封裝結構時，係以單顆晶片為單位進行分割。

156. 如申請專利範圍第 154 項所述之晶片封裝製程，其中在分割該些晶片之封裝結構時，係以多顆晶片為單位進行分割。

157. 如申請專利範圍第 139 項所述之晶片封裝製程，更包括：

(a) 配置一第二介電層於該第一介電層及該第一圖案化導線層之上；以及

(b) 配置一第二圖案化導線層於該第二介電層之上，其中該第二圖案化導線層係穿過該第二介電層，而電性連接該第一圖案化導線層，且部分該第二圖案化導線層係延伸至該些晶片之該主動表面上方以外的區域，並且該第二

(請先閱讀背面之注意事項再填寫本頁)

訂

象

六、申請專利範圍

圖案化導線層具有複數個第二接合墊。

158. 如申請專利範圍第 157 項所述之晶片封裝製程，其中在配置該第二介電層之後，且在配置該第二圖案化導線層之前，更包括圖案化該第二介電層而形成複數個第二貫孔，其分別對應該些第一接合墊而貫穿該第二介電層，並且該第二圖案化導線層係穿過該些第二貫孔，而電性連接該第一圖案化導線層。

159. 如申請專利範圍第 158 項所述之晶片封裝製程，其中在配置該第二圖案化導線層於該第二介電層之上時，並將部分該第二圖案化導線層之導電材料填入該些第二貫孔之內，而同時形成複數個第二導電插塞及該第二圖案化導線層，其中該第二圖案化導線層可經由該些第二導電插塞，而電性連接該第一圖案化導線層。

160. 如申請專利範圍第 158 項所述之晶片封裝製程，其中在配置該第二圖案化導線層於該第二介電層之上前，更包括填入導電材料於該些第二貫孔之內，而形成複數個第二導電插塞，其中該第二圖案化導線層可經由該些第二導電插塞，而電性連接該第一圖案化導線層。

161. 如申請專利範圍第 157 項所述之晶片封裝製程，其中該第二介電層之材質包括聚乙醯胺、苯基環丁烯、多孔性介電材料及彈性緩衝材料其中之一。

162. 如申請專利範圍第 157 項所述之晶片封裝製程，其中配置該第二圖案化導線層於該第二介電層之上的方法包括濺鍍、有電電鍍及無電電鍍其中之一。

(請先閱讀背面之注意事項再填寫本頁)

訂

錄

六、申請專利範圍

163. 如申請專利範圍第 157 項所述之晶片封裝製程，更包括配置圖案化之一保護層於該第二介電層及該第二圖案化導線層之上，並暴露出該些第二接合墊。

164. 如申請專利範圍第 157 項所述之晶片封裝製程，更包括分別配置一接點於該些第二接合墊上。

165. 如申請專利範圍第 164 項所述之晶片封裝製程，其中該些接點之型態包括錫球、凸塊及針腳其中之一。

166. 如申請專利範圍第 164 項所述之晶片封裝製程，在分別配置該些接點於該些第二接合墊上之後，更包括分割該些晶片之封裝結構。

167. 如申請專利範圍第 166 項所述之晶片封裝製程，其中在分割該些晶片之封裝結構時，係以單顆晶片為單位進行分割。

168. 如申請專利範圍第 166 項所述之晶片封裝製程，其中在分割該些晶片之封裝結構時，係以多顆晶片為單位進行分割。

169. 如申請專利範圍第 157 項所述之晶片封裝製程，更包括重複步驟 (a) 及步驟 (b) 複數次。

170. 如申請專利範圍第 169 項所述之晶片封裝製程，更包括配置圖案化之一保護層於該些第二介電層之最遠離該金屬基板者及該第二圖案化導線層之最遠離該金屬基板者之上，並暴露出該第二圖案化導線層之最遠離該金屬基板者的該些第二接合墊。

171. 如申請專利範圍第 169 項所述之晶片封裝製程，

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

更包括分別配置一接點於該些第二圖案化導線層之最遠離該金屬基板者的該些第二接合墊上。

172. 如申請專利範圍第 171 項所述之晶片封裝製程，其中該些接點之型態包括鐸球、凸塊及針腳其中之一。

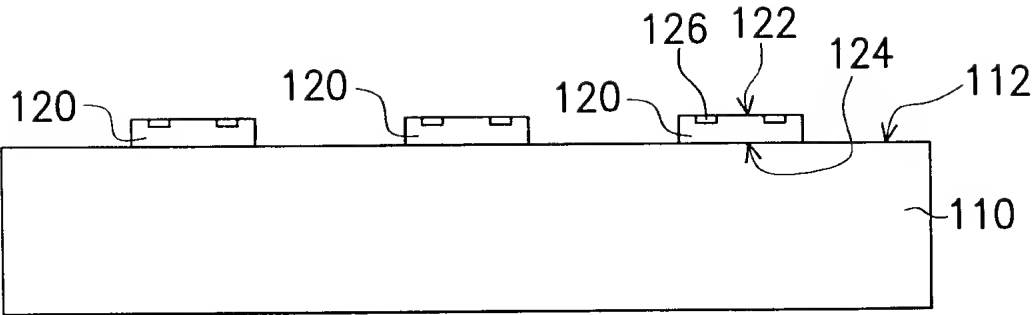
173. 如申請專利範圍第 171 項所述之晶片封裝製程，在分別配置該些接點於該些接合墊上之後，更包括分割該些晶片之封裝結構。

174. 如申請專利範圍第 173 項所述之晶片封裝製程，其中在分割該些晶片之封裝結構時，係以單顆晶片為單位進行分割。

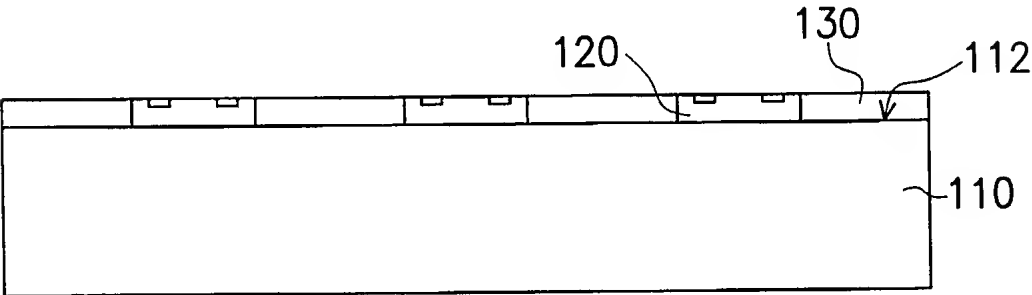
175. 如申請專利範圍第 173 項所述之晶片封裝製程，其中在分割該些晶片之封裝結構時，係以多顆晶片為單位進行分割。

(請先閱讀背面之注意事項再填寫本頁)

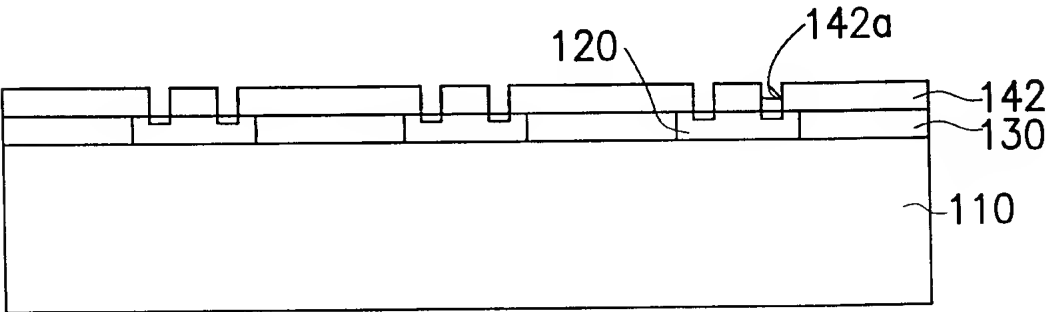
訂



第 1A 圖

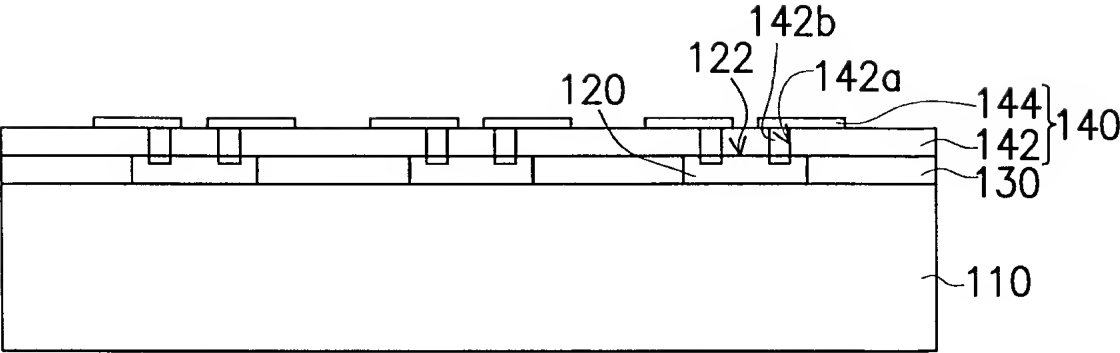


第 1B 圖

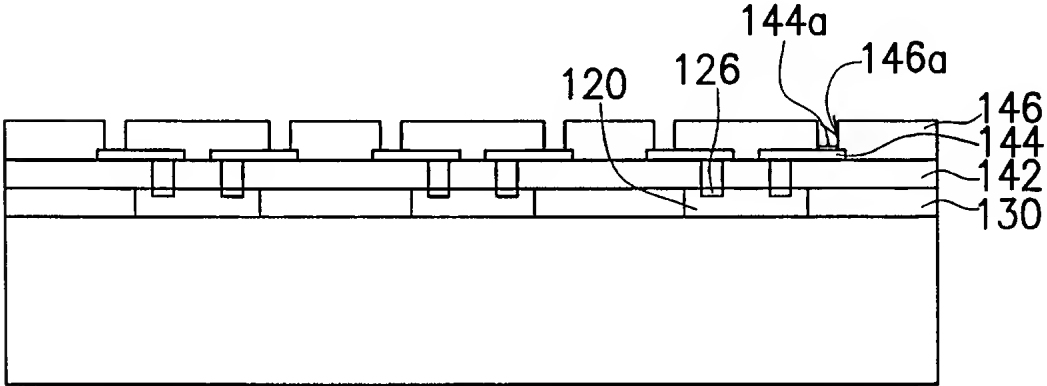


第 1C 圖

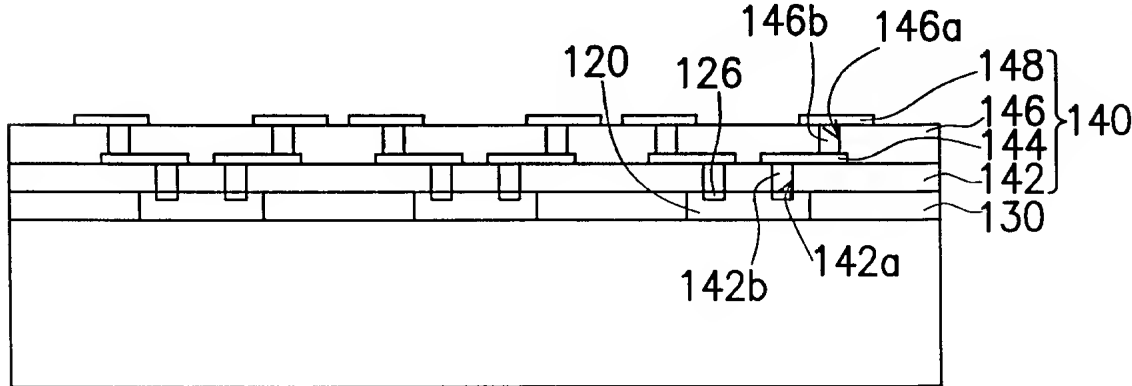
8532TW



第 1D 圖

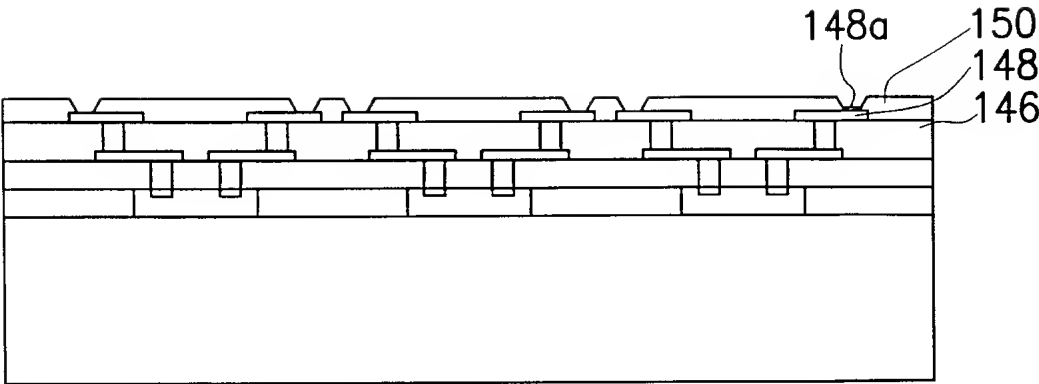


第 1E 圖

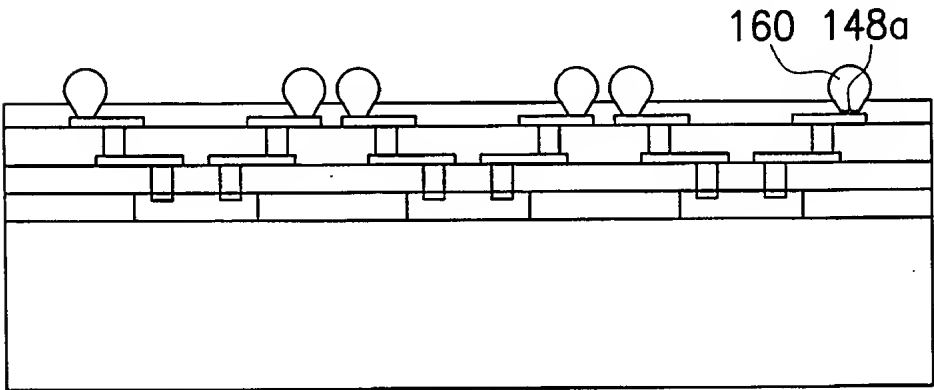


第 1F 圖

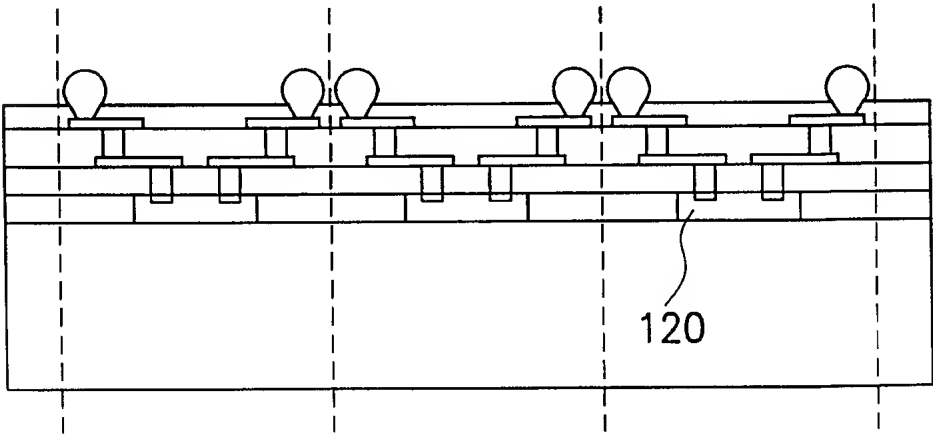
8532TW



第 1G 圖

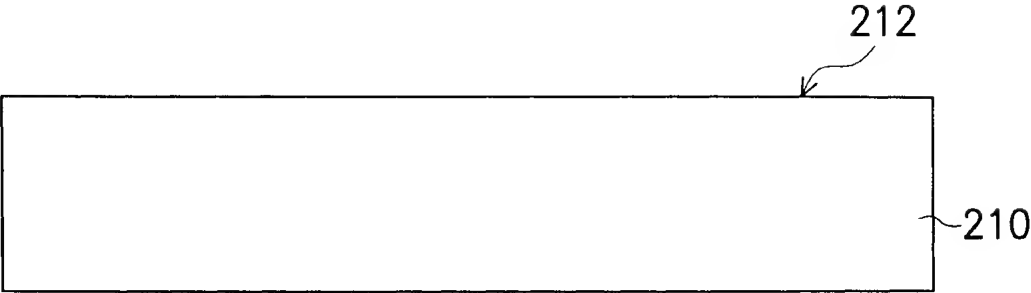


第 1H 圖

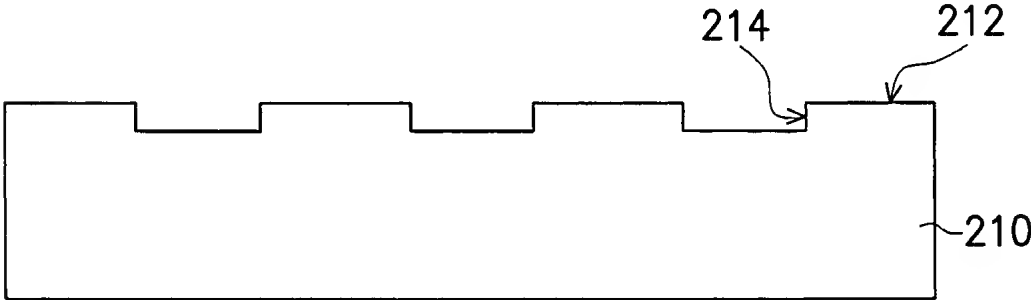


第 1I 圖

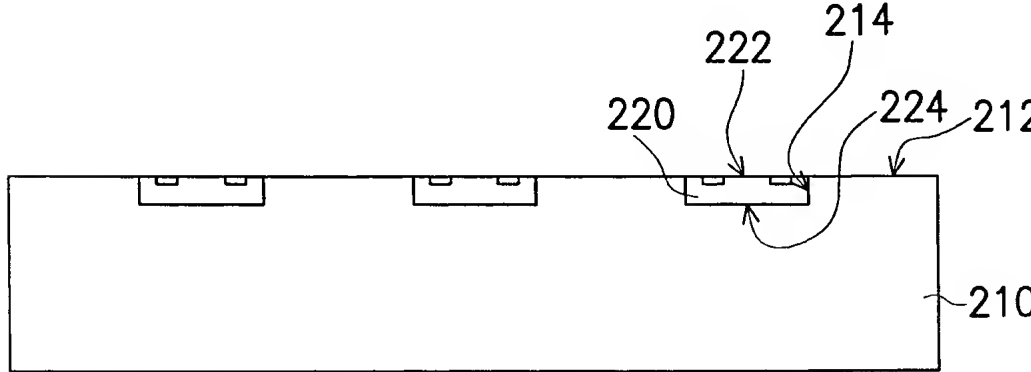
8532TW



第 2A 圖

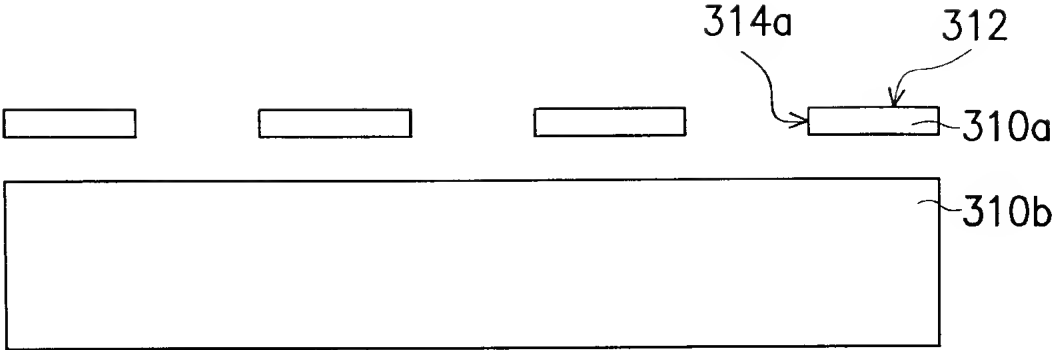


第 2B 圖

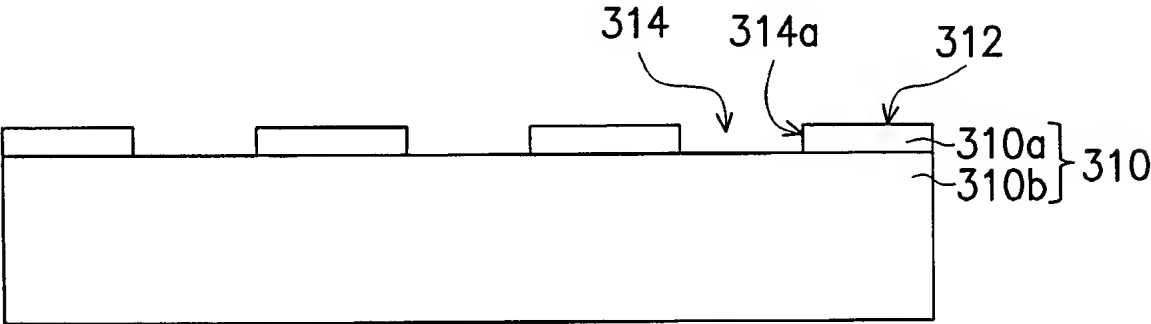


第 2C 圖

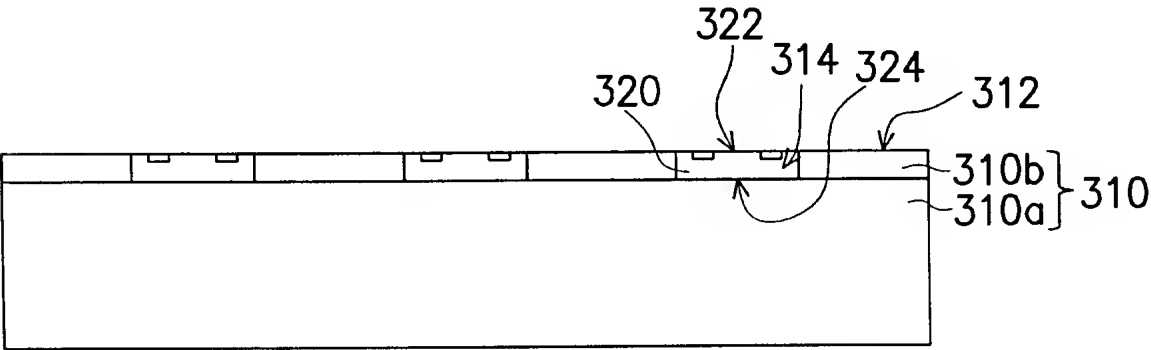
8532TW



第 3A 圖

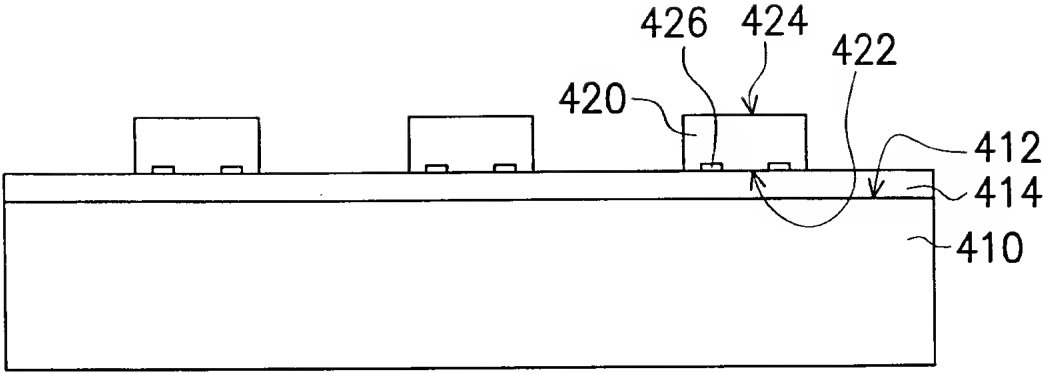


第 3B 圖

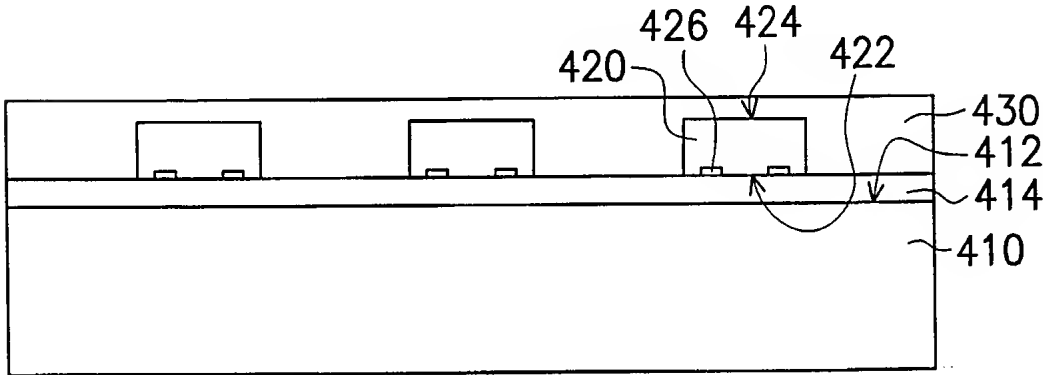


第 3C 圖

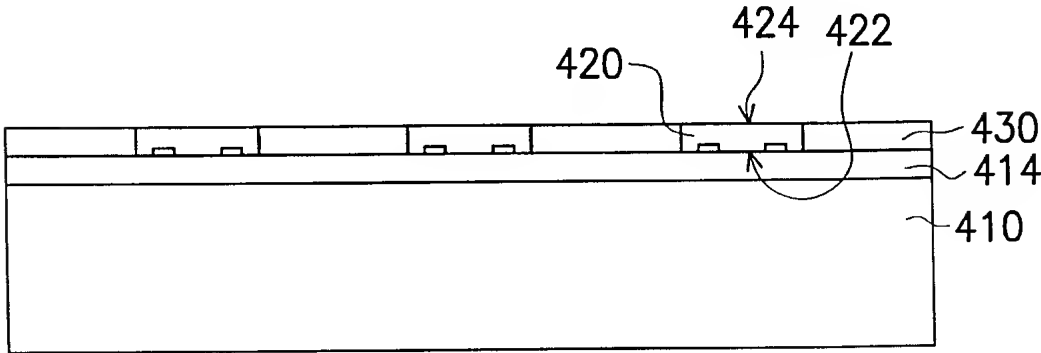
8532TW



第 4A 圖

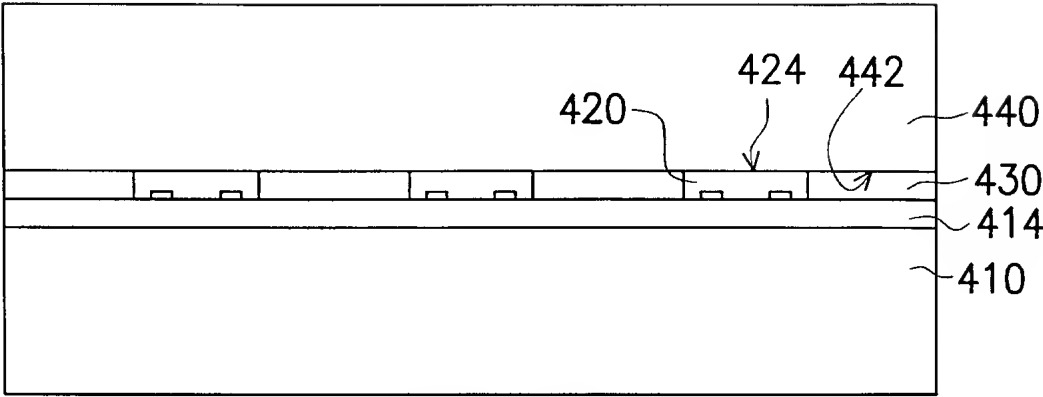


第 4B 圖

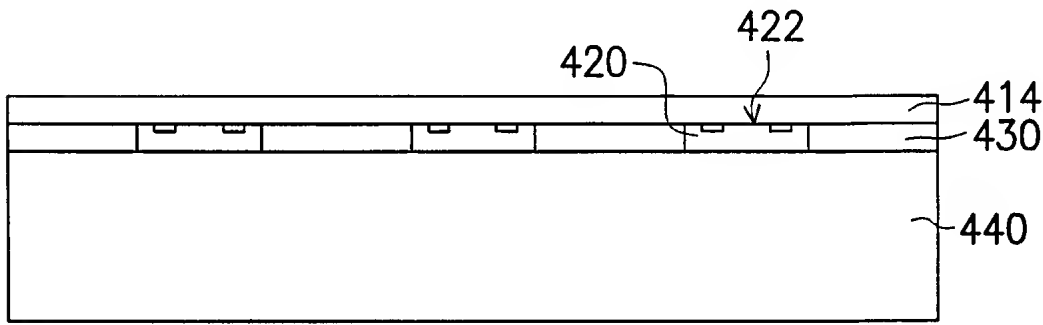


第 4C 圖

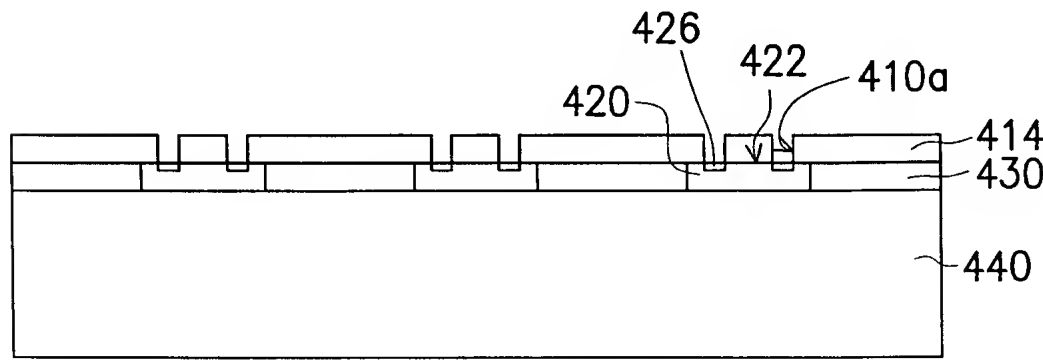
8532TW



第 4D 圖

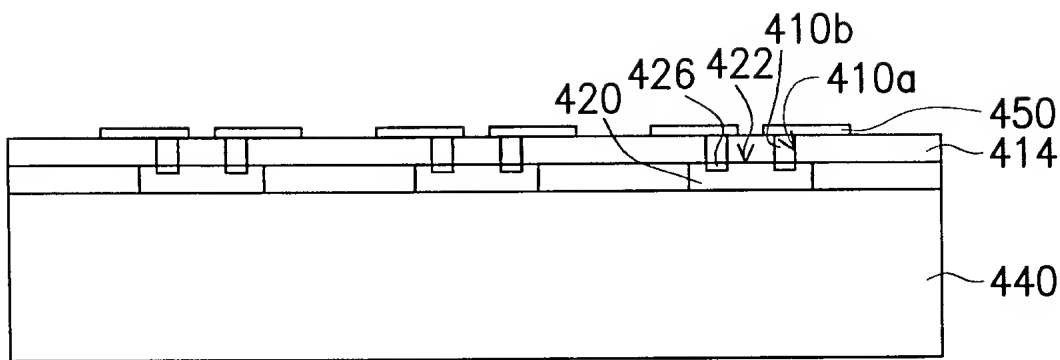


第 4E 圖

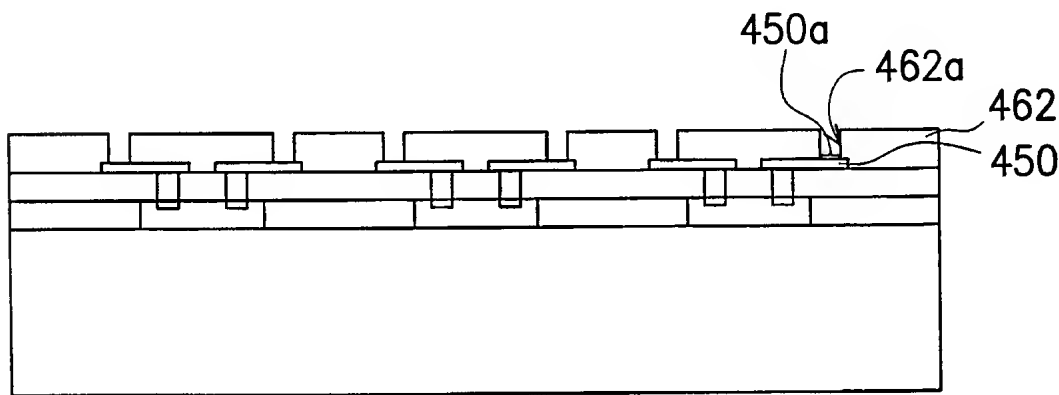


第 4F 圖

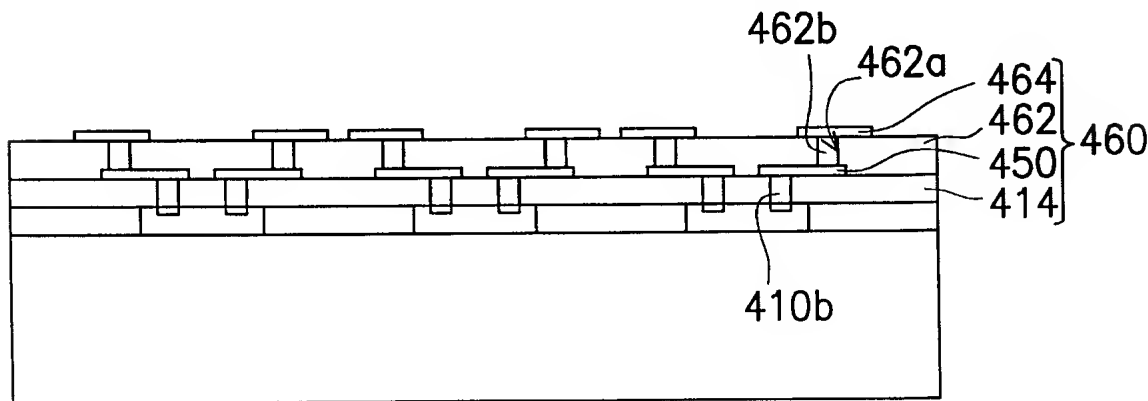
8532TW



第 4G 圖

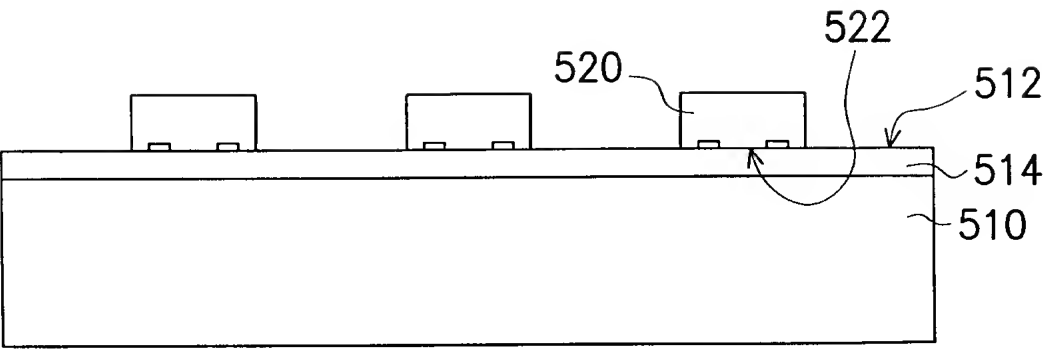


第 4H 圖

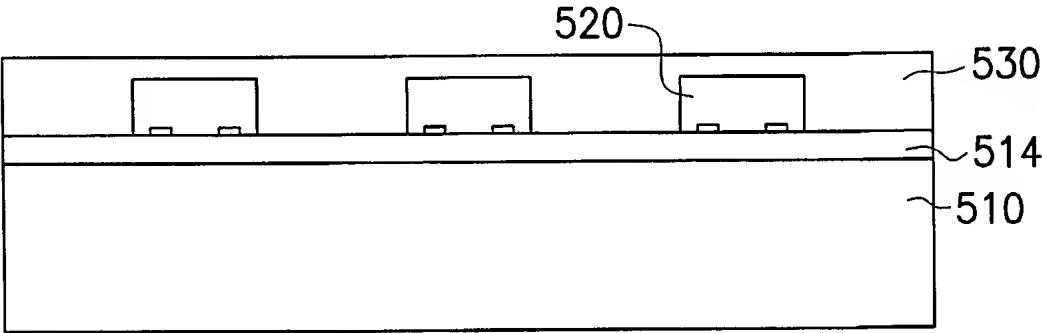


第 4I 圖

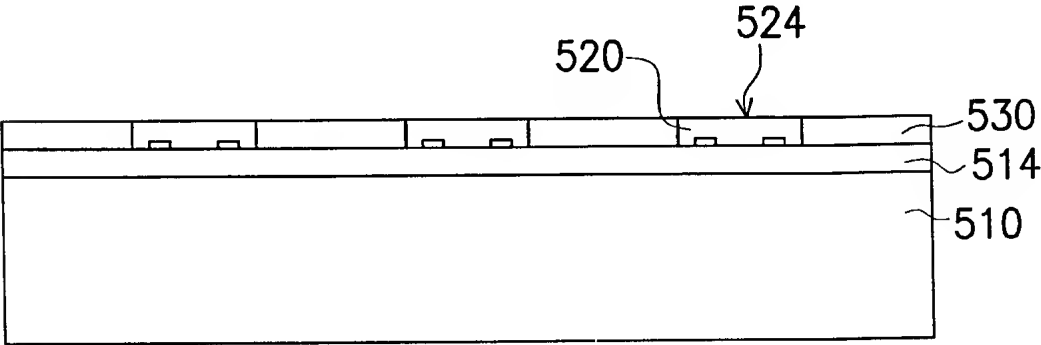
8532TW



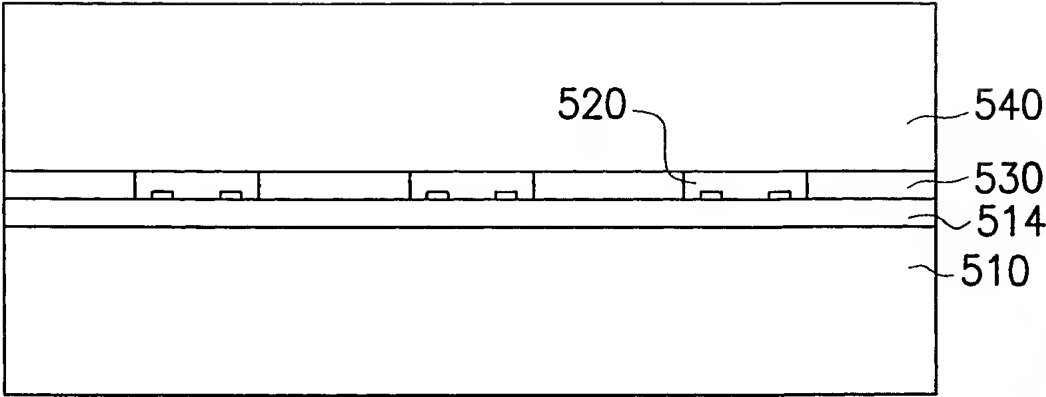
第 5A 圖



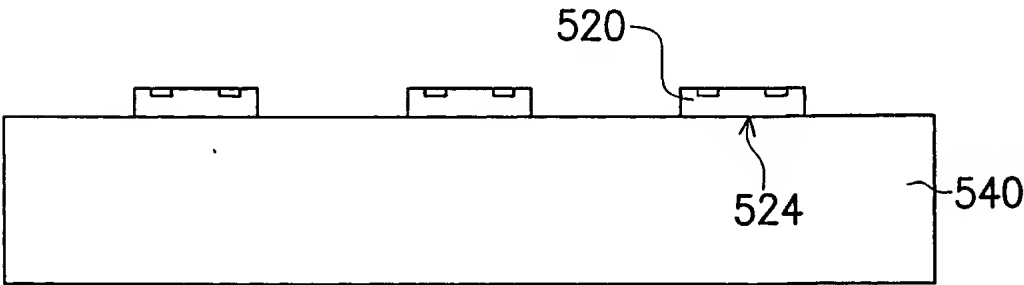
第 5B 圖



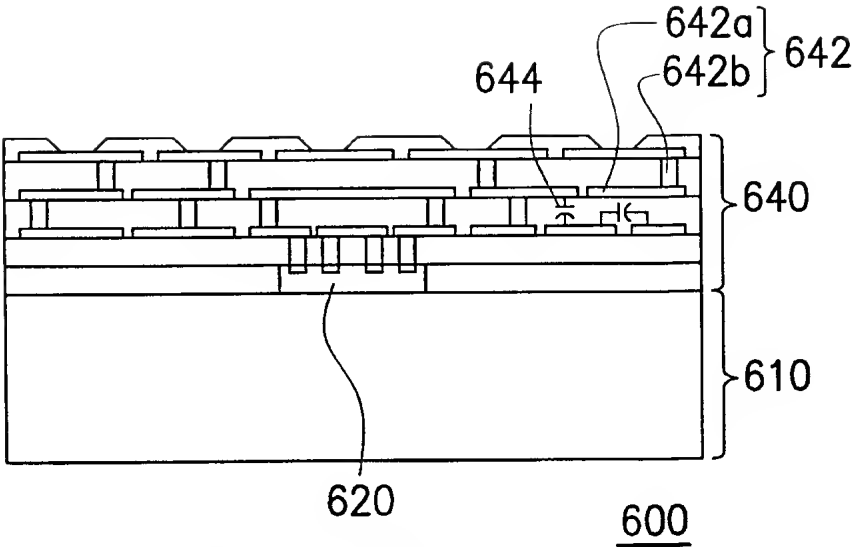
第 5C 圖



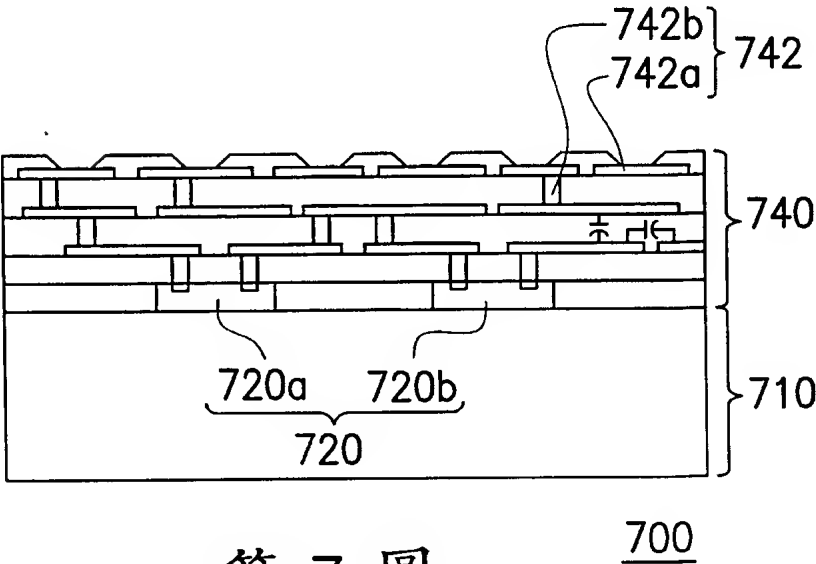
第 5D 圖



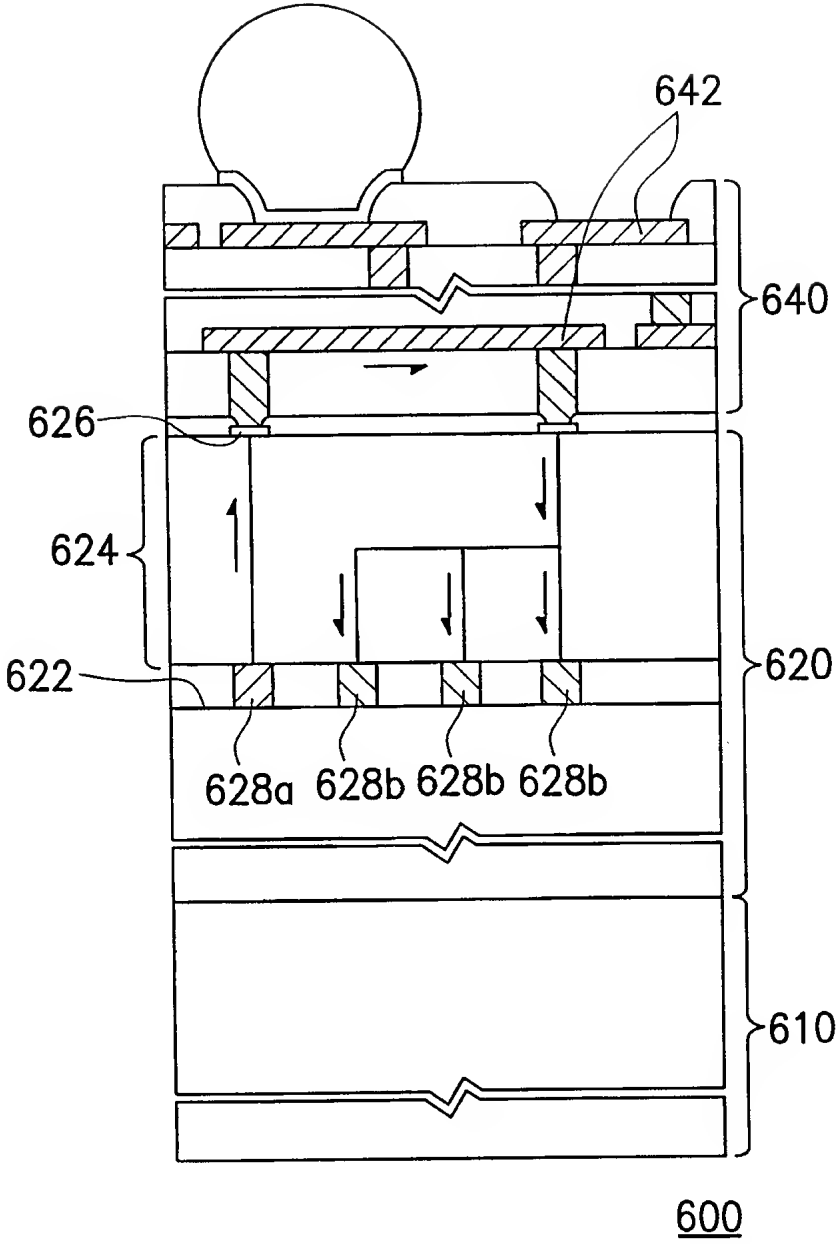
第 5E 圖



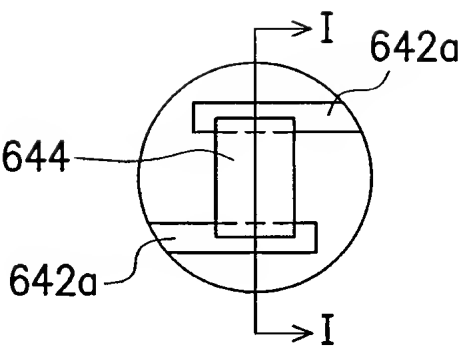
第 6 圖



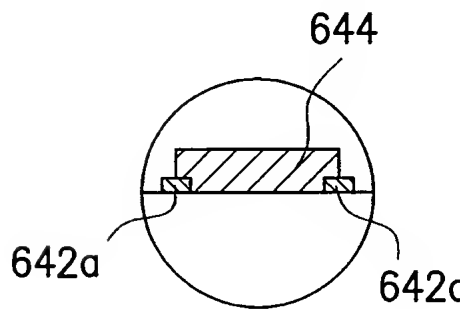
第 7 圖



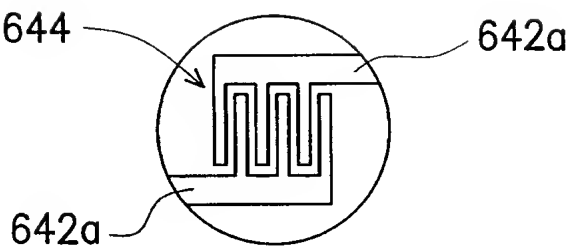
第 8 圖



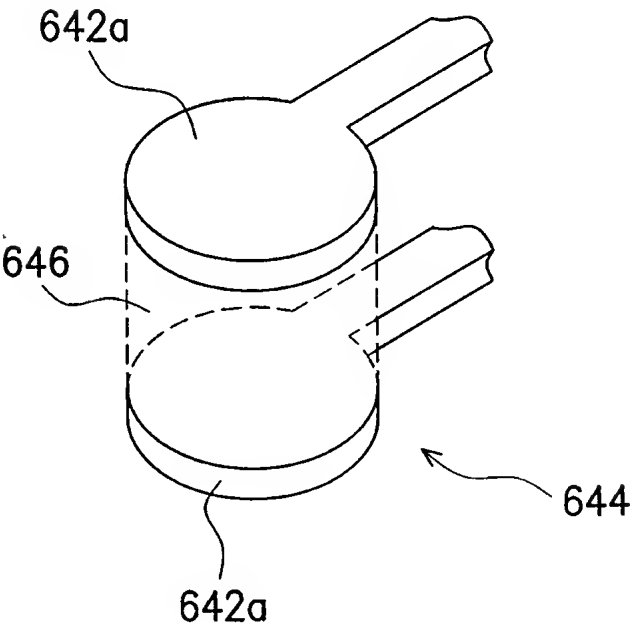
第 9A 圖



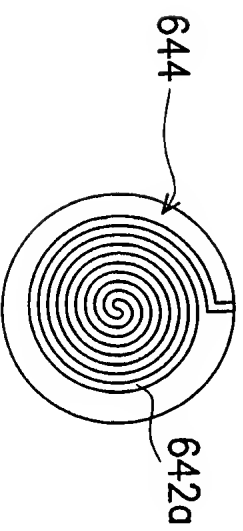
第 9B 圖



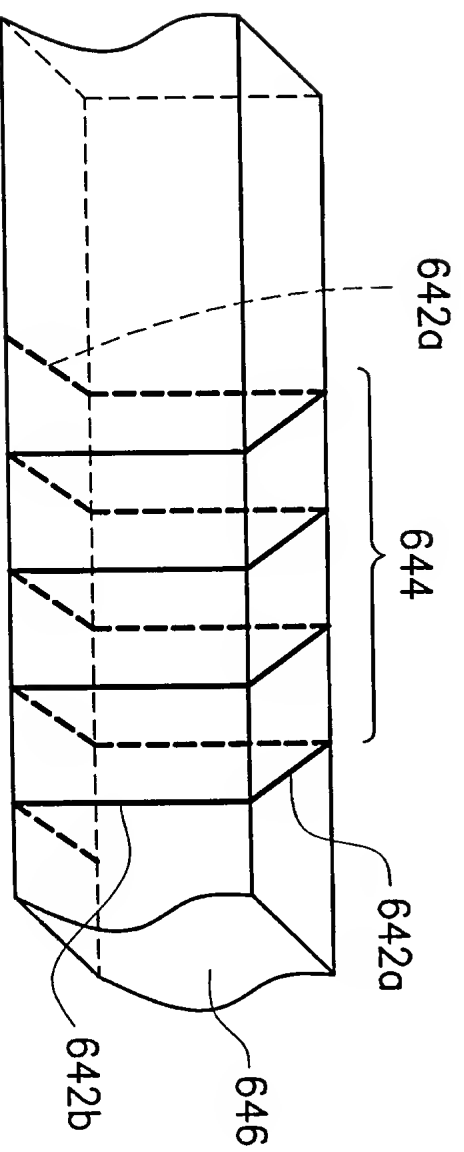
第10A圖



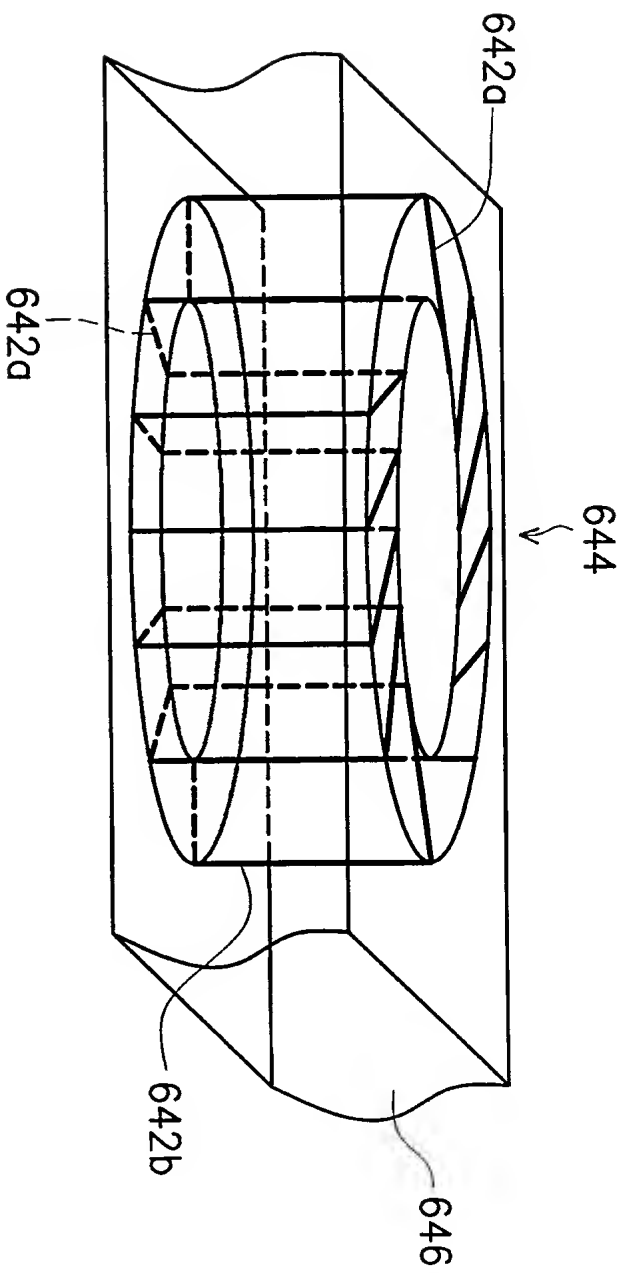
第10B圖



第11A圖



第11B圖



第11C圖